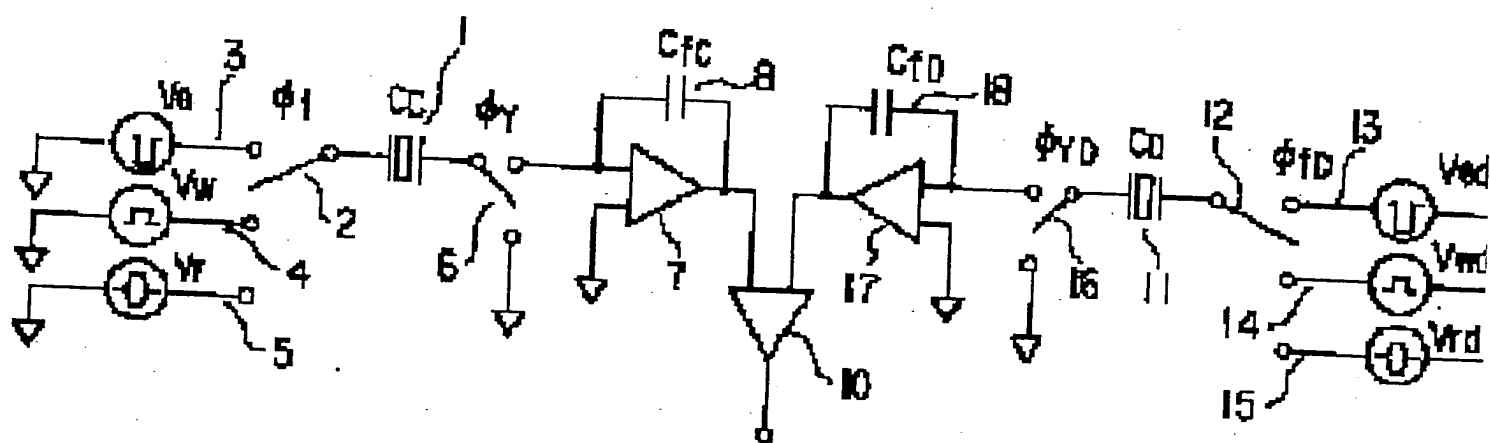


© WPI / DERWENT

- AN - 1997-264691 [24]
- TI - Non-volatile ferro electric memory for computer - in which information is read-out from memory cell by applying suitable voltage pulse to third terminal
- AB - J09091970 The memory has a three terminals (3-5) of which one is connected to a memory cell (1) by a first selection switch (2). A first voltage pulse (V_e) applied through the first terminal to erase the information in the memory cell which has a ferroelectric thin film supported by pair of electrodes. A second voltage pulse (V_w) is applied through the second terminal to write information in the memory cell. A third voltage pulse (V_r) is applied through the third terminal to read information from memory cell. The first pulse is polarized and maintained in polarization state by which information is erased from the memory and dummy cells. Information is written in the cells by the second pulse which is in partial polarization state. The memory cells are maintained in non-volatile state. A first switch (6) is connected between the output of the memory cell and ground.
- The other end of the first switch is connected to first differential type amplifier (7) which is connected to a first feedback capacitor (8). A fourth, fifth and sixth terminals (13- 16) are provided equivalent to the first, second and third terminals. One of the fourth, fifth and sixth terminals is connected to a dummy cell (11) through a second selection switch (12). A second switch (14) is connected between the dummy cell and ground. The other end of the second switch is connected to a second differential type amplifier (17) which is connected to a second feedback capacitor (18). A third differential amplifier (10) amplifies the difference of the first and second differential amplifiers.
 - ADVANTAGE - Enables efficient information reading.
 - (Dwg.1/33)
- IW - NON VOLATILE FERRO ELECTRIC MEMORY COMPUTER INFORMATION READ MEMORY CELL APPLY SUIT VOLTAGE PULSE THIRD TERMINAL
- AW - MAGNETIC TAPE FLOPPY DISK MAGNETO-OPTICAL DISK
- PN - JP9091970 A 19970404 DW199724 G11C14/00 024pp
- IC - G11C7/00 ;G11C11/22 ;G11C14/00 ;H01L21/8242 ;H01L27/10 ;H01L27/108
- MC - U14-A03F
- DC - U14
- PA - (OLYU) OLYMPUS OPTICAL CO LTD
- AP - JP19950247859 19950926
- PR - JP19950247859 19950926



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the un-destroying type ferroelectric memory which started the solid-state type recording device used for an electronic circuitry, especially used the ferroelectric thin film.

[0002]

[Description of the Prior Art] Generally, in connection with development of a computer and picture image equipment, the high-density and highly efficient memory apparatus is demanded. As a conventional memory apparatus, external memory equipment called a magnetic tape, a floppy disk, and a magneto-optic disk or semiconductor memory, i.e., DRAM, SRAM, EPROM, and EEPROM, the flash memory, etc. were used.

[0003] And when multimedia and a computer are united, as a memory apparatus, more highly efficient and compact memory [say / that it is a high-speed low-battery drive, and is the solid-state memory of drive loess the 3rd] is needed / 1st / for a non-volatile and the 2nd. However, it may be unable to correspond with the technique of the conventional recording device.

[0004] As a memory apparatus which responds to this, there is ferroelectric memory which is indicated by USP4,873,664 (S. Sheffield Eaton Jr., Colorado Springs, and CO).

[0005] The configuration of this ferroelectric memory is shown in drawing 31 .

[0006] The ferroelectric thin film capacity 302 in a memory cell 301 is a switching element, and serves as the configuration of having changed into ferroelectric capacity the storage capacitance of DRAM method driven by FET303. The drive to a memory cell is connected to the WORD line 304, the plate line 305, and the bit line 308, and a sense amplifier 307 performs the read-out.

[0007] It is inconvenient, when a degree of integration and a cost become of the same grade as DRAM and FLASH memory of semiconductor memory, for example, it makes several 100 M bytes of card from this configuration, since the sense amplifier 307 is formed on Si device.

[0008] On the other hand, the technique currently indicated by USP5,060,191 is a method which makes simple matrix structure from the ferroelectric material 313, and carries out a signal detection in the read-out drive circuit 314,315, as shown in drawing 32 .

[0009] The problem that the memory which consisted of such a simple matrix is big is an interference with the cell which a cell adjoins, is arranged and was chosen, and a non-choosing cell. For example, when a certain cell is chosen, writing/read-out is performed and a voltage V_a is impressed, a voltage will be impressed also to the non-choosing cell not to choose. $V_a/2$ will be impressed to the non-choosing cell connected to the electrode line of the input side/output side of a selection cell as the number of cells becomes large especially.

[0010] Then, in the above USP5,060,191, as opposed to the applied voltage V_a to a selection cell, it devises so that $V_a/3$ may be impressed by the non-choosing cell, and a write-in operation is performed. Moreover, read-out reads the voltage of a low impedance and has cut the noise from a non-choosing cell. However, if the voltage V_a required for polarization inversion of a selection cell is impressed at the time of writing, the polarization status of a non-choosing cell will be destroyed by many impression even in the voltage of $V_a/3$.

[0011] moreover, in USP5,140,548 (C. J. Brennan) In the status of 321 written in on the status of 320 which both the space charge layer and the neutral field existed in the ferroelectric, considered that

made the capacity-voltage characteristic as shown in drawing 33, and was written in on the negative voltage, and the positive voltage If capacity is measured with AC signal which superimposed the voltage V_b below a certain anti-voltage V_{th} impression and on this, in the "1" status, binary [of the capacity of 323] will be obtained in the capacity of 322, and "0" status, and "1" and "0" will be distinguished with this difference. Therefore, it carries out [that it can read, without changing the polarization status by impressing the read-out voltage, of V_b with a time constant longer than the relaxation time of space charge, and impressing the alternating current wave which has a frequency component quicker than the relaxation time, and], after writing in.

[0012] [Problem(s) to be Solved by the Invention] However, neither a degree of integration nor a cost changes with DRAM by using Si device, i.e., a switching element and FET, in the configuration shown in drawing 31, as a trouble of the conventional technique mentioned above, although the implementability is comparatively easy for the combination with a semiconductor.

[0013] Moreover, the ferroelectric memory of the simple matrix configuration shown in drawing 32 is not indicating the assurance to a polarization breakdown of a ferroelectric cell concretely at the time of writing.

[0014] The technique of using capacity change shown in drawing 33 holds the problem generated to the equipment shown in drawing 32 as it is at the time of writing, when it applies to a simple matrix. About a voltage V_b , it will read, if it is going to read with sufficient S/N at the time of read-out, a certain amount of size must be impressed, and by many impression, change of polarization happens too and it does not become destructive read.

[0015] Then, this invention aims at offering the un-destroying type ferroelectric memory which has the incoherency to the storage cell of not choosing at the time of informational writing and read-out, and can realize nondestructive read, and carries out suitable to large-scale-ization.

[0016] [Means for Solving the Problem] In the ferroelectric memory using the storage cell which memorizes an information according to the status of spontaneous polarization (polarization) of the ferroelectric thin film pinched by one pair of electrodes in order that this invention may attain the above-mentioned purpose The 1st terminal for impressing the 1st pulse for a deletion of the storage information which has the voltage V_e larger than the anti-voltage V_c of the aforementioned ferroelectric thin film to the aforementioned storage cell, The 2nd terminal for impressing the 2nd pulse for information writing which has the voltage V_w which has a parvus absolute value in the aforementioned storage cell from V_e of reversed polarity in the aforementioned applied voltage V_e , To the aforementioned storage cell, in the equivalent in an absolute value from the aforementioned voltage V_e Or the 3rd terminal for impressing the 3rd pulse for reading a memory information in un-destroying which is the voltage V_r positive or negative [either / the parvus and], The 1st selecting-switch means which chooses either the above 1st or the 3rd terminal, The 1st differential type amplifier which has the capacity for feedback connected to the output side of the aforementioned storage cell through 1st circuit-changing-switch means by which an end is grounded, and was able to apply feedback to the output, Consist of a ferroelectric thin film equivalent to the aforementioned storage cell, and the information memorized by this storage cell and the same information are memorized. The 4th or 6th terminal with which the above 1st linked to the dummy cell for reference which performs comparison read-out arbitrarily, or a pulse signal equivalent to the 3rd pulse signal is impressed, The 2nd selecting-switch means which chooses either the above 4th or the 6th terminal, and is impressed to this dummy cell for reference, The 2nd differential type amplifier which has the capacity for feedback connected to the output side of the aforementioned dummy cell for reference through 2nd circuit-changing-switch means by which an end is grounded, and was able to apply feedback to the output, It has the differential type amplifier of the 3rd ** which outputs the difference of the differential type amplifier of the above 1st, and the differential type amplifier of the above 2nd. by the above 1st, the 2nd selecting-switch means and the 1st, and 2nd circuit-changing-switch means Deletion, writing, and read-out of the information on the aforementioned storage cell and the aforementioned dummy cell for reference are performed. The un-destroying type ferroelectric memory from which the aforementioned storage cell and the aforementioned dummy cell for reference memorize an information in the state of partial polarization, impress the 3rd pulse

of the aforementioned voltage V_r , and read a memory information in un-destroying is offered.

[0017] The above un-destroying type ferroelectric memory of a configuration Polarization of the 1st pulse which has the voltage V_e larger than the anti-voltage V_{th} of the aforementioned ferroelectric thin film is impressed and changed into the 1st polarization status of the two status of spontaneous polarization (polarization). Next, in the aforementioned applied voltage V_e , the 2nd pulse which has the voltage V_w of reversed polarity is impressed, and the domain which has polarization of the 1st aforementioned orientation memorize an information in the state of partial polarization which the domain which has the 2nd polarization of an opposite direction mixed. Although this status appears as a difference of capacity, when reading on a read-out voltage, for a parvus reason, capacity factors $\Delta C/C$ need to amplify it. If C considers temperature dependence, data-hold time dependency, etc. at this time, comparison read-out by the reference cell using ferroelectric capacity is required. Here, the bulk memory of this not destroying becomes possible in the sense circuit which combined comparison read-out by the capacity addition feedback circuit and reference cell which can read $\Delta C/\text{small } C$ without voltage change of the data line.

[0018] [Embodiments of the Invention] Hereafter, with reference to a drawing, the operation gestalt of this invention is explained in detail.

[0019] First, with reference to the drawing 1 or the drawing 4, the un-destroying type ferroelectric memory apparatus by this invention and its drive technique are explained.

[0020] First, as shown in drawing 2 (a), the end of the ferroelectric memory cell 1 pinched by electrodes, such as platinum, in the ferroelectric thin film is connected to the pulse-input terminal for a deletion 3, the pulse-input terminal for writing 4, and the pulse-input terminal for read-out 5 through a selecting switch 2. Moreover, it connects with the circuit changing switch 6 for electric discharge by which an end is grounded by the reference potential, and the input terminal of the differential amplifier 7, and it connects and the other end of the ferroelectric memory cell 1 is so that an output may be fed back for the feedback capacity element (capacitor) 8 to the differential amplifier 7.

[0021] Thus, in the constituted ferroelectric memory apparatus, the data writing by the signal drawing 2 (b) shown and data read-out are explained.

[0022] The data writing of this ferroelectric memory apparatus and the principle of data read-out are the same as that of Japanese Patent Application No. 22545 [six to] and Japanese Patent Application No. 9992 [seven to] which these people proposed fundamentally.

[0023] It sets in this configuration and is the pulse for a deletion V_e first. By inputting, the data currently recorded are eliminated and polarization by which a polarization setup was carried out in the 1st (facing down) orientation is changed into "0" status to the memory cell 1. Then, pulse for writing V_w Predetermined data are written in.

[0024] Here, it is the pulse for writing V_w . Potential is the pulse for a deletion V_e . There is [potential] parvus need from an absolute value. Have both for the polarization status reversed in the polarization status and the 2nd (facing up) orientation of the 1st (facing down), namely, the written-in cell is a partial polarization field. That is, partial polarization is in the polarization status have the mixed state of polarization of the 1st orientation, and polarization of the 2nd orientation. This status is set to "1" and shown in drawing 2 (c). A hold of memory is recorded in the "0" "1" status with the status, and does not have this information what deteriorates simply by temperature or prolonged hold. Moreover, there is a difference of the zero-bias status in "1" and "0", and it is C_{s0} about C_{s1} and "0" status in "1" status. If it carries out, it will be $C_{s0} > C_{s1}$ and will check that its difference $(C_{s0} - C_{s1}) / C_{s0}$ is about 20%.

[0025] And pulse for read-out V_r shown in drawing 2 (b) Data read-out is performed. This pulse for read-out V_r It is carried out in un-destroying and read-out to depend is the pulse for a deletion V_e . It is smaller than potential in an absolute value, and is the pulse for writing V_w preferably. A small thing is desirable. In addition, pulse for read-out V_r Whichever is sufficient as a polarity.

[0026] This read-out pulse V_r By impression, it is checking that about 1×10^{10} to 1×10^{12} read-out is possible in un-destroying. Moreover, the memory configuration of the simple matrix structure where the field across which sandwiches a ferroelectric layer by the upper electrode arranged in parallel and the lower electrode arranged in parallel with the business which goes direct mostly with an upper

electrode, and it faced by the lower electrode the top by the writing by these pulses and the technique of reading becomes one memory cell is possible. And the voltage impression to a non-choosing cell is slight at the time of data writing, and it is also checking at it that the data recorded are not destroyed.

[0027] Therefore, according to the writing mentioned above and the technique of reading, implementation of the non-volatile memory which can be integrated most highly is suggested.

[0028] Here, if a ferroelectric material has a spontaneous polarization, it is good anything. $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ which has a perovskite structure, $\text{O}(\text{Zr}(\text{Pb}, \text{La}), \text{Ti})_3$, PbTiO_3 , and BaTiO_3 The grade is common. Moreover, you may be a stratified compound. For example, they are $\text{SrBi}_2\text{Ta}_2\text{O}_9$, $\text{SrBi}_2\text{Nb}_2\text{O}_9$, $\text{SrBi}_4\text{Ti}_4\text{O}_{12}$, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$, etc. Moreover, the membrane formation technique is also possible also for sol gel, the organic-metal method, the sputtering method, and the MOCVD method. Moreover, a thickness is doubled with an actual driver voltage and the scaling of it becomes possible.

[0029] The circuit arrangement of the un-destroying type ferroelectric memory apparatus as the 1st operation gestalt are shown in drawing 1, and it explains. Although this configuration is notional, the memory apparatus of a configuration of having been shown in drawing 2 is symmetrically arranged by the couple focusing on the differential amplifier 10, and the end of a dummy cell 11 which consists of a ferroelectric memory cell is connected to the pulse-input terminal for a deletion 13, the pulse-input terminal for writing 14, and the pulse-input terminal for read-out 15 through a selecting switch 12. Moreover, the other end of a dummy cell 11 is connected to the input terminal of the switch for electric discharge 16 with which an end is grounded by the reference potential, and the differential amplifier 17, and the feedback capacity element 18 is connected to the differential amplifier 17 so that an output may be fed back. Moreover, among drawing, the reference potential (grounding) shown by the arrow head needs to be a predetermined reference potential, and does not need to be zero potential.

[0030] With reference to drawing 3, an operation of the ferroelectric memory apparatus shown in drawing 1 is explained in detail.

[0031] Drawing 3 (a) is the ferroelectric memory apparatus of a simple matrix by which two or more memory cells 1 have been arranged, and the 1st line 19 and 2nd line 20 were connected to the shape of a matrix.

[0032] By impressing the voltage V_e shown in drawing 3 (b) to this ferroelectric memory apparatus, the data currently recorded are eliminated collectively.

[0033] Drawing 3 (c) is drawing for explaining the technique of data writing similarly. the 1st line 19 of the selection cell of a X line group which shows data writing in drawing 3 (c) using 1 / the 3 driving method -- a voltage V_w -- impressing -- the 1st line 19 of a non-choosing cell -- voltage $1/3V_w$ -- impressing -- and the selection cell of a Y line group -- $0V$ -- un--- it is alike and the destructive degradation at the time of data writing is prevented so that the voltage of selection cell $2/3V_w$ may be impressed About this destructive degradation, by the driving method mentioned above using PZT thin film, even if it integrates to 1Gbit by the memory cell of one matte, it is checking that a cell is not destroyed at the time of data writing.

[0034] Drawing 3 (e) is drawing for explaining a data read-out method similarly. Here, the 1st line 19 other than 1st [of a selection line] line 19a is grounded. Moreover, the 2nd line 20 other than 2nd [of a selection data line] line 20a shall be grounded.

[0035] At this time, 2nd line 20a of a selection data line is beforehand grounded by the electric discharge switch 6, and the capacity 8 for feedback is connected to the differential amplifier 7. Here, since one side of a difference input is grounded, as for the differential amplifier 7, an input impedance is held by the virtual grounding "0", and the pressure up of the potential of 2nd line 20a of a selection data line is not carried out. For this reason, the charge from a non-choosing cell is not poured in. Therefore, since non-interfering data read-out is made and it is the differential amplifier 7 of capacity 8 feedback, output V_{out} is memory cell capacity C_s . Feedback capacity C_r It is decided by the ratio. therefore, $V_{out} = (C_s/C_r) * V_r$ -- here -- "0" and "1" status -- V_{c0} and V_{c1} ***** -- $V_{c1} = -(C_{s1}/C_r) * V_r$ $V_{c0} = -(C_{s0}/C_r) * V_r$ -- this mode is shown in drawing 3 (f) In this drawing, the axis of ordinate was drawn by -V so that intelligibly. Here, from $V_{c1} > V_{c0}$, although read-out of an information is possible, this difference is as small as 20%, and since this C_{s0} changes by

temperature, the holding time, etc., a dummy cell is used.

[0036] Next, as shown in drawing 4, the configuration which consists of the 1st differential amplifier 7, memory cell 1, and capacity 8 which were shown in drawing 2, and the configuration which becomes the input edge of another side from the 2nd differential amplifier 17, dummy cell 11, and capacity 18 are connected to one input one end of the 3rd differential amplifier 10.

[0037] It is V_{ref} which the voltage of A points sets an axis of ordinate as $-V$, and serves as the order of $V_{c0} < V_{ref} < V_{c1}$ among drawing by this configuration. It chooses. That is, V_{ref} A dummy cell 11 is chosen so that it may become this domain. For example, if the feedback capacity of capacity 8 and the capacity 18 is doubled correctly, the area of a dummy cell 11 will be changed, and it is V_{ref} . It doubles so that it may become. For example, it is the same in V_r , then is [Equation 1].

$$C_{s1} > C_{ref} > C_{s0}$$

から

$$C_{s0} = A f_{s0} \cdot C_{s0}$$

$$C_{ref} = A f_{ref} \cdot C_{s0}$$

ここで、 C_{s0} は単位面積あたりの容量である。

$$C_{ref} = C_{s0} + (C_{s1} - C_{s0}) / 2$$

$$A f_{ref} = [C_{s0} + (C_{s1} - C_{s0}) / 2] C_{s0}$$

[0038] It means that this makes area of a dummy cell large 0 time as many $(C_{s1} - C_{s0}) / 2C_{s0}$ of a memory cell as this. For example, if it is the cell of 1 micrometer**, when $(C_{s1} - C_{s0}) / C_{s0}$ is 20%, $(C_{s1} - C_{s0}) / 2C_{s0}$ is 10%, and corresponds to the cell of 1.1 micrometer**.

[0039] In this case, data writing of a dummy cell is not performed. In an actual device creation, since one fifth of steppers are used, a relative process tolerance may reach to an extreme. It is referred to as 0.01 micrometers in 1 micrometer process, and dispersion in this process tolerance is 2% in the area of 1 micrometer**, and a fall of the noise margin by dispersion in a manipulation dimension is expected to be one fifth.

[0040] That is, if 16Mbit memory uses this operation gestalt using the cell of 1 micrometer**, it can manufacture easily by two masks number of sheets. That is, lower electrodes, such as platinum, are processed into the semiconductor substrate (wafer) which created MOS and the pie Poral element in the shape of a stripe, and ferroelectric thin films, such as PZT, are formed after that. It is made to complete using a device, an aluminum wiring, etc. which furthermore form an up electrode, process it so that it may go direct mostly with a lower electrode, form the protective coat between layers in this upper part, form the through hole for a wiring, and were formed in Si wafer.

[0041] For this reason, like the conventional DRAM, there is also no need for a creation of a complicated cell capacity, and there is also no need for the polysilicon contest process of two-layer [like Flash memory] or three layers. It has the merit which can create the cell of 1 micrometer** by the manufacturing technology which makes 1 micrometer a process tolerance. Moreover, it is possible to raise a 4 times as many degree of integration as this by there being also no additional process and setting a process tolerance to 0.5 micrometers.

[0042] Moreover, since the memory cell of this operation gestalt does not contain an active element like an MOS transistor, the base to form is not limited. That is, it can form also in tops other than a silicon substrate like a glass plate. In this case, a circumference circuit becomes TFT device. Moreover, if the low-temperature process of a ferroelectric material is attained, on an aluminum wiring, a simple matrix can be created and, for a whole surface **** stuffing ****s reason, a degree of integration can be further raised for a drive circuit. Moreover, a circuit element can be multilayered to three-fold [a duplex and].

[0043] Thus, the memory apparatus of a multilayer and this laminated operation gestalt becomes possible [the non-volatile memory of 128Mbit] even for a 1-micrometer process tolerance (1 micron rule). If a 0.5 micron rule [**** / still] is used, implementation of the non-volatile memory of 512Mbit will be attained.

[0044] With this operation gestalt, it was restrained at the time of the conventional memory formation, for example, is enabled to include a control circuit like a smart memory card, a

microprocessor, etc. in the interior of an element.

[0045] When constituted to equipment using the memory cell mentioned above, a concrete example is shown in drawing 5. Here, the X selection circuitry 22, the Y selection circuitry 23, the sense circuit 24, a dummy cell for reference 25, a pulse generator 25 a deletion, writing, and for read-out of data, and a pulse generator 26 for a deletion / writing of data are consisted of by the memory cell matte 21 with which simple matrix arrangement of two or more memory cells was carried out, and they were constituted.

[0046] Below, the un-destroying type ferroelectric memory apparatus and its drive technique of the 2nd operation gestalt are explained.

[0047] The example of a configuration of the ferroelectric memory apparatus of the 2nd operation gestalt is shown in drawing 6, and it explains. The fundamental configuration of the 2nd operation gestalt is the same as that of the 1st operation gestalt, and a different point is explained. Although the sense amplifier system in the 1st operation gestalt mentioned above was symmetrical structure, the memory cell 1 and the dummy cell 11 are unsymmetrical. For this reason, the memory cell 1 and the dummy cell 11 had the need of creating separately.

[0048] For example, if two memory cell mattes containing a dummy cell 11 are prepared and these are arranged symmetrically, a changeover switch can constitute symmetrically. However, this method differs from the clench bit-line method currently generally used by DRAM etc. This clench bit-line method is a method used in order to make the parasitism load capacity of the data line in agreement strictly. The method of this operation gestalt does not have this need for data read-out by capacity feedback. Since a cell array is constituted from a field in which the lower part and the upper part crossed apart from Si device, it becomes that it is far more advantageous to arrange a dummy cell inside a cell array also from the point of a process also from the point of a degree of integration rather than it arranges a dummy cell independently. This operation gestalt carries out the deployment of a required selection circuitry and a required pulse generator while it simplifies a configuration and raises record capacity.

[0049] The ferroelectric memory cell used for this operation gestalt forms an up stripe electrode in the upper part of a ferroelectric thin film, and forms the lower stripe electrode of the orientation which intersects perpendicularly with the lower part mostly in the orientation of a stripe of an up stripe electrode. It is the ferroelectric memory cell array by which the field of the ferroelectric thin film inserted by the upper part and the lower stripe electrode has been arranged by this configuration at the simple matrix, and the dummy cell was prepared in the cell array by it.

[0050] And as shown in drawing 6, it connects with the ferroelectric memory cell array mentioned above through the Y selecting switch 32 for choosing the 2nd line (Y lines) as (+) input one end of the differential amplifier 37 which has the feedback capacity 38. Pulse-generator 40a is connected to a ferroelectric memory cell array through the X selecting switch 39 which chooses the 1st line (X lines). (-) input one end of the differential amplifier 37 is grounded. And the outgoing end of the differential amplifier 37 is connected to the end of the input edge of the differential amplifier 10, and the differential amplifier 47 and the Y selecting switch 42 which are constituted like a differential-amplifier 37 side, a ferroelectric memory cell array, the X selecting switch 49, and pulse-generator 40b are connected to the other end. Moreover, the ferroelectric capacity for reference is connected between the 1st electrode line 33 and the pulse generator 37. The ferroelectric capacity for reference is connected between the 2nd electrode line 43 and pulse generator 42b. In addition, a pulse generator 37 and the pulse generator 42 may be the same.

[0051] The detailed example constituted in the memory apparatus using such a ferroelectric memory cell is explained in the 5th operation gestalt mentioned later.

[0052] Below, the un-destroying type ferroelectric memory apparatus and its drive technique of the 3rd operation gestalt are explained.

[0053] The example which used for the actual equipment configuration the ferroelectric memory cell constituted possible [data / which were explained with the 1st operation gestalt / write-in read-out] as the 3rd example is shown in drawing 7. Here, the ferroelectric memory cell (memory cell matte) used with this operation gestalt attaches and explains the same reference mark to a site equivalent [to the configuration of the 2nd operation gestalt by which the simple matrix configuration was carried out] and equivalent to the site indicated in the drawing 3 or the drawing 5.

[0054] This memory cell matte 21 consists of ferroelectric capacity 1, and the up electrode line 19 and the lower electrode line 20, and consists of the pulse generators 26 and 27 of the X selection circuitry 22, the Y selection circuitry 23, the sense circuit 24, the dummy cell for reference 28, and ** a deletion, writing, and for read-out. Here, it consists of a switching device 50 for carrying out the batch deletion of the inside of a memory cell matte.

[0055] The aforementioned Y selection circuitry 23 chooses the data line, it is the circuit which gives the pulse of data writing or a deletion, and a sense amplifier 24, the cell for reference 28, and the pulse generator 27 are connected to each of two or more Y electrode lines. It is enabled to read the memory information on the part of a data line, and a high-speed data transfer rate is obtained by this.

[0056] Next, other examples of a configuration in this operation gestalt are shown in drawing 8. Here, it consists of a pulse generator 36 of the memory cell matte 21 which consisted of a simple matrix, the X selection circuitry 22, the Y selection circuitry 23, the sense circuit 24, the dummy cell for reference 28, and ** a deletion, writing, and for read-out. The pulse generator 36 with a sense amplifier 24 and the cell for reference 28 is connected to each of two or more Y electrode lines.

[0057] The un-destroying type ferroelectric memory apparatus and its drive technique as the 4th operation gestalt are explained below.

[0058] The example which used for the actual equipment configuration the ferroelectric memory cell constituted possible [data / which were explained with the 1st operation gestalt mentioned above / write-in read-out] is shown in drawing 9 (a). Here, the same reference mark is given to a site equivalent to the site shown in drawing 7 and the drawing 8 by the site of this operation gestalt, and the explanation is omitted. Here, the ferroelectric memory cell (memory cell matte) used with this operation gestalt is equivalent to the configuration of the 2nd operation gestalt by which the simple matrix configuration was carried out, consists of ferroelectric capacity 1, and the up electrode line 19 and the lower electrode line 20, and consists of the pulse generators 26 and 27 of the X selection circuitry 22, the Y selection circuitry 23, the sense circuit 24, the dummy cell for reference 28, and ** a data deletion, writing, and for read-out.

[0059] Furthermore, the batch SW elements 50a and 50b for carrying out the batch deletion of the data in the memory cell matte 21 are formed, respectively between the memory cell matte 21, and the X selection circuitry 22 and the Y selection circuitry 23.

[0060] As shown in drawing 9 (b), this operation gestalt forms the Y selection SW23 between batch SW element 50b (not shown) and the reference dummy cells 28 which were connected to the lower electrode line (2nd electrode line) 20 of settled two or more units, and provides the pulse generator for reference 27 further. By this, to two or more electrode lines, it can constitute from one sense system and a pattern design becomes very easy. For example, if X lines is made into 512 when one matte is 64KB of byte configuration, the configuration of 128 will be attained with one sense amplifier.

[0061] The un-destroying type ferroelectric memory apparatus and its drive technique as the 5th operation gestalt are explained below. The fundamental configuration of the 5th operation gestalt is the same as that of the 2nd operation gestalt mentioned above, drawing 10 (a) is the configuration which showed the basic configuration and was shown in the drawing 4 of the 1st operation gestalt, and an equivalent configuration, and drawing 10 (b) is the modification which used as the base the configuration shown in drawing 6. In this operation gestalt, with the 1st operation gestalt, since the memory cell 1 and the dummy cell 17 are created separately, two memory cell mattes containing a dummy cell 17 are prepared like the case of the 2nd operation gestalt, and these are arranged symmetrically. Of course, unlike the clinch bit-line method used by DRAM etc., there is no need of making the parasitism load capacity of the data line in agreement with this operation gestalt for read-out by capacity feedback. While a configuration is only simplified and record capacity is raised, the deployment of a required selection circuitry and the pulse generator is carried out.

[0062] As shown in drawing 10 (b), two or more ferroelectric thin film capacity 1a is connected to the input side of the differential amplifier 7. Simple matrix structure of such ferroelectric thin film capacity 1a is inserted and carried out by the 1st electrode (X electrode line 19) and the 2nd electrode (Y electrode line 20) which intersect perpendicularly mutually. The memory cell 1 of a plurality [line / Y electrode / 20] and one dummy cell 11a are connected to the input side of the differential amplifier 7. On the other hand, it connects with the input side of the differential amplifier 17 at two

or more memory cell 1b and one dummy cell 11b.

[0063] Here, the same capacity is sufficient as the efficiency addition capacity 51 and 52, and they may differ. With an actual configuration, the up electrode 19 and the up electrode 53 are symmetrically connected to the sense system containing the sense circuit 24. There may be no SW and differential amplifier 17 between the up electrode 19 and the up electrode 53 here. The up electrode 53 constitutes a simple matrix so that it may go direct mostly with the electrode line 13 which makes a pair. A simple matrix is constituted so that dummy cells 11a and 11b may also go direct mostly with the electrode line 18 or the electrode line 53. An operation of the memory apparatus which will come is explained with reference to drawing 10 (d) and (e). Dummy cell 11b is used at the time of a detection of cell 1b on the right-hand side of a sense system, and the pulse generator connected to the electrode of the electrode line 1, the electrode line 13, and the dummy cells 11a and 11b so that dummy cell 11b may be used is controlled at the time of a detection of cell 1b on the right-hand side of a sense system.

[0064] Since the efficiency addition capacity 51 and 52 becomes the same and the load of a sense amplifier becomes the same when [this] the number of the dummy ferroelectric capacity 11a and 11b connected to the electrode line 52 connected to the electrode line 19 connected to the aforementioned differential amplifier 7 and the differential amplifier 17 may be the same, the timing of the signal which appears and appears in the differential amplifier becomes the same, and it is convenient.

[0065] The un-destroying type ferroelectric memory apparatus and its drive technique as the 6th operation gestalt are explained below. The fundamental configuration of the memory apparatus of this operation gestalt is the same as that of the 5th operation gestalt mentioned above, and is the modification.

[0066] The configuration of the ferroelectric memory apparatus of the 6th operation gestalt is shown in drawing 11. In this ferroelectric memory apparatus, it faces across the sense circuit 63 and the memory cell mates 60a and 60b are formed further 62 b 62 a Y selection circuitry. The X selection circuitries 61a and 61b are formed in the aforementioned memory cell mates 60a and 60b, and the pulse generator 65 is connected to them at X and Y selection circuitry, respectively. Therefore, the memory cell mates 60a and 60b are symmetrically arranged across the sense circuit 63. In such a configuration, Y selection-signal line may connect a sense circuit to one, respectively, and may collect the electrode whose some settled by Y selection. At least one pulse generator 65 is required.

[0067] The un-destroying type ferroelectric memory apparatus and its drive technique as the 7th operation gestalt are explained below.

[0068] The configuration of a memory apparatus is shown for the 7th operation gestalt in drawing 12. It faces across the sense circuits 63a-63n, and this memory apparatus is memory cell matte 60a1, 60b1 -60an, and 60bn, respectively to Y selection-circuitry 62a1, 62b1 -62an, 62bn, and a pan. It is prepared. aforementioned memory cell matte 60a1 -60an and 60b1 -60bn **** -- the X selection circuitries 61a and 61b are formed, respectively, and the pulse generator 65 is connected to X and Y selection circuitry

[0069] This operation gestalt serves as the configuration to which the laminating of the equipment of the 5th operation gestalt was carried out in circuit. this configuration -- setting -- the sense circuits 63a-63n -- inserting -- Y selection-circuitry 62a1, 62b1 -62an, and 62 -- bn 32, and memory cell matte 60a1, 60b1-60an and 60bn It has two or more configuration units constituted almost symmetrically.

[0070] the configuration shown in drawing 13 -- the modification of the 7th operation gestalt -- it is - the electrode lines 19a and 19b -- the configuration unit of the orientation of Y -- **** ----izing -- **** -- moreover, dummy cell 11a1 -11an and 11b1 -11bn It has sharing-ized per configuration of the orientation of Y.

[0071] Next, with reference to drawing 14, the un-destroying type ferroelectric memory apparatus and its drive technique as octavus operation gestalt are explained. The writing of the data of this memory apparatus and the method of read-out are the same as that of drawing 3 (a) to (c).

[0072] In the ferroelectric memory constituted by the simple matrix which makes a storage cell ferroelectric thin film capacity pinched by the upper part of the couple which intersects perpendicularly mutually, and the lower electrode Polarization of the 1st pulse (pulse for a deletion)

which has the voltage V_e larger than the anti-voltage V_c of the aforementioned ferroelectric thin film is impressed and changed into the 1st polarization status of the two status of spontaneous polarization (polarization) in a ferroelectric thin film. Next, the domain which impresses the 2nd pulse (pulse for writing) which has the voltage V_w with a parvus absolute value, and has polarization of the 1st aforementioned orientation from V_e of reversed polarity in the aforementioned applied voltage V_e . The 1st aforementioned orientation is a method which memorizes an information in the state of partial polarization which the domain which has the 2nd polarization of an opposite direction mixed.

[0073] As this operation gestalt is shown in drawing 14, the memory cell matte of the whole chip is constituted per one lump's record called one or more sectors 66, and at least one or more memory cells (dummy cell) for reference 28 are formed in this sector 66. The data in this memory cell are eliminated collectively.

[0074] Moreover, in drawing 14, a memory cell and the data writing to a dummy cell may be put in block per sector, and may be performed. Data read-out in a sector 66 makes random access possible. Moreover, you may be a nonvolatile memory chip with the sector 66 and the sector control circuit 67 of the plurality in 1 chip.

[0075] Moreover, as shown in drawing 15, into each sector 40, you may constitute from the memory cell matte 21, the X selection circuitry 21, the Y selection circuitry 23, a sense circuit 24, at least one dummy cell 28, and a control circuit 26.

[0076] As furthermore shown in drawing 16, it can use, the memory apparatus with the output terminal 71 in which the desorption is possible, for example, the memory card, for [of two or more chips, the bus line 68 and the I/O circuit 69 containing a memory cell matte, the control circuit 70, and the exterior] carrying out the in-and-out force. Next, with reference to drawing 17, the un-destroying type ferroelectric memory apparatus and its drive technique as the 9th operation gestalt are explained.

[0077] The method with which this memory apparatus performs the writing and read-out of data is the same as that of drawing 3 (a) to (c), and this configuration is the same as that of the octavus operation gestalt.

[0078] In drawing 17, it consists of block 72 containing two or more sectors 66, and one chip consists of two or more blocks 72.

[0079] Moreover, the batch deletion of the block 72 is carried out by the batch deletion circuit 73 per block, it performs data writing in each sector 66 unit, random access of the data read-out may be carried out, and it may be performed. Moreover, the batch deletion of the block 72 is carried out by the batch deletion circuit 73 per block, it writes in in each sector 66 unit, and batch read-out of the read-out may be carried out similarly.

[0080] Next, with reference to drawing 18, the un-destroying type ferroelectric memory apparatus and its drive technique as the 10th operation gestalt are explained.

[0081] This memory apparatus of the writing of data and the method of read-out is equivalent to the 1st operation gestalt, and the configuration is using the octavus operation gestalt as the base.

[0082] This memory apparatus consists of a Y selection circuitry 75 containing the function of two or more X selection circuitries 22 and a sense circuit, a memory cell area 74 which consists of a memory cell containing a dummy cell 28, and a pulse generator 65. Each sector of the X selection circuitry 22 is common per one chip or block, and the Y selection circuitry 75 has been independent. Moreover, it can use for the memory apparatus with two or more chip, bus lines 68, I/O circuits 65, control circuits 70, and output terminals 71 in which a desorption is possible, for example, a memory card.

[0083] Next, with reference to drawing 19, the un-destroying type ferroelectric memory apparatus and its drive technique as the 11th operation gestalt are explained. The method with which this memory apparatus performs the writing and read-out of data is equivalent to drawing 3 (a) to (c).

[0084] This operation gestalt is used for the memory apparatus which carried the memory section 81, the memory management function 82, and the I/O circuit 83 on one chip 80 and in which a desorption is possible, for example, a memory card.

[0085] The aforementioned memory management function 82 may control a deletion of data, writing, and read-out for the storage region in the memory section 81 per a block or sector, and may

have a ***** tree (address information) and a keyword information in each sector unit.

[0086] Next, with reference to drawing 20, the un-destroying type ferroelectric memory apparatus and its drive technique as the 12th operation gestalt are explained. This memory apparatus is the modification which used as the base the octavus operation gestalt mentioned above, and the method which performs the writing and read-out of data is equivalent to drawing 3 (a) to (c).

[0087] In the ferroelectric memory constituted by the simple matrix which makes a storage cell ferroelectric thin film capacity pinched by the upper part of the couple which intersects perpendicularly mutually, and the lower electrode Polarization of the 1st pulse (pulse for a deletion) which has the voltage V_e larger than the anti-voltage V_c of the aforementioned ferroelectric thin film is impressed and changed into the 1st polarization status of the two status of spontaneous polarization (polarization) in a ferroelectric thin film. Next, the domain which impresses the 2nd pulse (pulse for writing) which has the voltage V_w with a parvus absolute value, and has polarization of the 1st aforementioned orientation from V_e of reversed polarity in the aforementioned applied voltage V_e . The 1st aforementioned orientation is a method which memorizes an information in the state of partial polarization which the domain which has the 2nd polarization of an opposite direction mixed.

[0088] The configuration of this operation gestalt consists of one chip or two or more chips, and it uses for the memory apparatus which exchanges a data signal by the Hertzian wave generated and oscillated by the memory section 81, the antenna 85, the tuning circuit 86, the detector circuit 87, the recovery circuit 88, the oscillator circuit 91, the modulation circuit 90, and the control circuit 89 and in which a desorption is possible, for example, a memory card. Moreover, you may be the memory apparatus equipped with the voltage occurrence circuit 92 which takes out the voltage for driving from a Hertzian wave in which a desorption is possible. Moreover, you may be the memory apparatus which made sites other than antenna 85 form on 1 chip and in which a desorption is possible, for example, a memory card.

[0089] Moreover, you may be the memory apparatus which exchanges a signal by the Hertzian wave containing an integration antenna formed into 1 chip and in which a desorption is possible, for example, a memory card.

[0090] Moreover, with this operation gestalt, although the Hertzian wave is using the millimeter wave from microwave, limitation is not carried out to this.

[0091] This operation gestalt is a memory apparatus which uses a ferroelectric thin film as a storage, and has the characteristic feature as which a kind is not regarded except that it says un-destroying in addition to low driver-voltage, high-speed deletion, and high-speed writing, high-speed read-out, and high accumulation. That is, it is that the individuation of the external recording device is carried out, and a mechanical component is lost, and form high reliance, and a high speed and low power-ization were achieved. The mass data carrier without the cell by the Hertzian wave becomes realizable for the first time now. For example, the capacity of a card attains to 256 M bytes from 4 M bytes. These can satisfy all needs.

[0092] Next, with reference to drawing 21 (a) and (b), the un-destroying type ferroelectric memory apparatus and its drive technique as the 13th operation gestalt are explained. The method which the configuration of this memory apparatus uses the 12th operation gestalt as the base, and performs the writing and read-out of data is equivalent to drawing 3 (a) to (c).

[0093] This operation gestalt can equip a usual computer and a small computer with RF antenna and the microwave antenna containing the signal strange recovery circuit used as the function of transmission and reception using the memory card shown in the 12th operation gestalt, and can exchange data peculiar to an individual through radio. Moreover, the thing which reads an individual reference number and carries out an environmental setup automatically by the Hertzian wave from the memory card 98 which can communicate informational and which can be carried out is sufficient.

[0094] An operation is explained with reference to the flow chart of drawing 21 (b).

[0095] First, it sits down before the computer by which it was equipped with the function of transmission and reception (step S1). The identification number oscillated from the memory card 98 by the computer side is read (step S2), and a computer is set as the environment set up beforehand based on an identification number (step S3). Furthermore, from the memory card 98, the information

about an individual is read (step S4) and actual work is begun (step S5). After the work end, a new personal information is written in the memory card 98 (step S6), and a series of process is ended. Moreover, again, when working, processing mentioned above only by sitting down before a computer is performed, and work can be begun similarly.

[0096] This operation gestalt uses a ferroelectric thin film for a record medium, and, in addition to low-battery, high-speed deletion, and high-speed writing, high-speed read-out, and high accumulation, has the characteristic feature of nondestructive read. That is, the individuation of the external recording device is carried out, it is formed into high reliance, using a mechanical component as unnecessary, and high-speed processing and low consumption and low drive power-ization are realized. . Therefore, the mass data carrier without a cell becomes realizable by transforming a Hertzian wave into power and driving it. For example, the capacity of a memory card attains to 256 M bytes from 4 M bytes. These can satisfy the needs of the individual wireless card of a computer.

[0097] Next, with reference to drawing 22 , the un-destroying type ferroelectric memory apparatus and its drive technique as the 14th operation gestalt are explained. The method with which the configuration of this memory apparatus performs the writing and read-out of data using the memory card indicated in the 12th operation gestalt is equivalent to drawing 3 (a) to (c).

[0098] This operation gestalt has RF antenna and the microwave antenna 85 which contain a signal strange recovery circuit in the door lock 101 and the computer for mount 102 which were carried in the automobile, the navigation system 103, etc., and is the memory card 98 which can be exchanged through radio about data peculiar to an individual.

[0099] If the operator who carries the memory card 98 which was mentioned above approaches an automobile, this system will be started by the automobile side, will start cancel of a door lock 101, the navigation system 103, etc., and will perform a status setup which carries out suitable [of the work which the operator was performing conventionally] on individual level.

[0100] According to this operation gestalt, in addition to low-battery, high-speed deletion, and high-speed writing, high-speed read-out, and high accumulation, it has the characteristic feature of nondestructive read. That is, it is that the individuation of the external recording device is carried out, and form it into high reliance, using a mechanical component as unnecessary, and a high speed, a low power, and low drive power-ization are realized. Therefore, the mass data carrier without the cell by the Hertzian wave becomes realizable. For example, the capacity of a memory card attains to 256 M bytes from 4 M bytes. These can satisfy the needs of the individual wireless file for automobiles.

[0101] Next, with reference to drawing 23 , the un-destroying type ferroelectric memory apparatus and its drive technique as the 15th operation gestalt are explained. The method with which the configuration of this memory apparatus performs the writing and read-out of data using the memory card indicated in the 12th operation gestalt is equivalent to drawing 3 (a) to (c).

[0102] this example has RF antenna and the microwave antenna 58 which contain a signal strange recovery circuit in the auto-lock device 104 and ID recognition equipment 105 which were carried in the door of the cella, the position recognition equipment 106, etc., and is the memory card 98 which can be exchanged through radio about data peculiar to an individual.

[0103] According to this operation gestalt, the system by which only the specific person who set up beforehand can enter a room is built, and an effect equivalent to the 14th example mentioned above is acquired.

[0104] Next, with reference to drawing 24 ; the un-destroying type ferroelectric memory apparatus and its drive technique as the 16th operation gestalt are explained. The method with which the configuration of this memory apparatus performs the writing and read-out of data using the memory card indicated in the 12th operation gestalt is equivalent to drawing 3 (a) to (c).

[0105] It has RF antenna and the microwave antenna 108 containing a signal strange recovery circuit which were carried in the automatic tailor equipment (automatic deposit and drawer equipment) 107, and is the memory card 98 which can be exchanged through radio about data peculiar to an individual.

[0106] This method has the characteristic feature as which a kind is not regarded except that it says un-destroying using a ferroelectric in addition to low-battery, high-speed deletion, and high-speed writing, high-speed read-out, and high accumulation. That is, it is that the individuation of the

external recording device is carried out, and a mechanical component is lost, and form high reliance, and a high speed and low power-ization were achieved. The mass data carrier without the cell by the Hertzian wave becomes realizable for the first time now. For example, the capacity of a card attains to 256 M bytes from 4 M bytes. These can satisfy the needs of the individual wireless file of an account.

[0107] Next, with reference to drawing 25, the un-destroying type ferroelectric memory apparatus and its drive technique as the 17th operation gestalt are explained. The method with which the configuration of this memory apparatus performs the writing and read-out of data using the memory card indicated in the 12th operation gestalt is equivalent to drawing 3 (a) to (c).

[0108] The memory apparatus shown in drawing 25 is the memory card 98 which can be exchanged through radio about data peculiar to a equipment and an individual in RF antenna and the microwave antenna 110 containing a signal strange recovery circuit which were carried in home television, game equipment, and the home data terminal 109. This memory card 98 can be provided with various informations, such as the owner's healthy status, an account information, a business information, FAX information, etc. Therefore, according to this operation gestalt, an effect equivalent to the 15th example mentioned above can be acquired.

[0109] Next, with reference to drawing 26, the un-destroying type ferroelectric memory apparatus and its drive technique as the 18th operation gestalt are explained. The method which the configuration of this memory apparatus uses the 12th operation gestalt as the base, and performs the writing and read-out of data is equivalent to drawing 3 (a) to (c).

[0110] It is the memory apparatus 98 which is constituted from the memory section 81 by which the memory cell which uses a ferroelectric thin film as a record medium is arranged, a control circuit 89, a high-speed optical modulator and the high-speed circuit photo diode 112, and an optical power generation cell 111 by the shape of a matrix which consists of one chip or two or more chips and in which a desorption is possible, for example, a memory card.

[0111] In the operation gestalt mentioned above, although communicated by the Hertzian wave, the effect as the 15th example which performs writing of data and read-out and mentioned them above by light that the memory card 98 of this operation gestalt is the same is acquired.

[0112] Next, with reference to drawing 27, the un-destroying type ferroelectric memory apparatus and its drive technique as the 19th operation gestalt are explained. The method with which this memory apparatus performs the writing and read-out of data is equivalent to drawing 3 (a) to (c).

[0113] In the ferroelectric memory constituted by the simple matrix which makes a storage cell ferroelectric thin film capacity pinched by the upper part of the couple which intersects perpendicularly mutually, and the lower electrode Polarization of the 1st pulse (pulse for a deletion) which has the voltage V_e larger than the anti-voltage V_c of the aforementioned ferroelectric thin film is impressed and changed into the 1st polarization status of the two status of spontaneous polarization (polarization) in a ferroelectric thin film. Next, the domain which impresses the 2nd pulse (pulse for writing) which has the voltage V_w with a parvus absolute value, and has polarization of the 1st aforementioned orientation from V_e of reversed polarity in the aforementioned applied voltage V_e . The 1st aforementioned orientation is a method which memorizes an information in the state of partial polarization which the domain which has the 2nd polarization of an opposite direction mixed.

[0114] Drawing 27 shows the physical relationship of the memory cell matte 21 seen from the top, and the circumference circuit 115. Moreover, the drawing 28 (a) or (c) is drawing showing the process for forming this memory cell matte 21.

[0115] A ferroelectric thin film is inserted with the up electrode line 19 formed as a stripe electrode, and the lower electrode line 20 formed as a stripe electrode which intersects perpendicularly with this mostly, and a memory cell 1 is formed in the field of the inserted intersection. These memory cells 1 are arranged at a simple matrix.

[0116] This simple matrix memory cell matte 21 is formed in the upper part of the field containing a silicon oxide 121, and the circumference circuit 115 is formed in fields other than this memory matric smut 21.

[0117] Even the passivation layers 122, such as PSG and BPSG, form the semiconductor substrate containing the pie Poral transistor formed beforehand or MOS transistor 124, and laminating

formation of the oxide film 121 is included for example, carried out before formation of the contact hole linked to the diffusion layer of a device in the upper layer of the passivation layers 122, such as PSG and BPSG, in the order of the lower electrode line 20, the ferroelectric thin film 125, and the up electrode line 19.

[0118] Here, usually, a lower electrode line forms membranes using vacuum evaporation equipment, a sputtering system, magnetron sputter equipment, etc., and performs an etching manipulation at top using usual photolithography and a usual dry etching system, ion etching equipment, a reactive ion etching system, an ion milling system, etc. Moreover, a ferroelectric is performed by the spin applying methods, such as a sol gel process and an organic-metal part solution method, sputtering, MOCVD, etc., and the combination which contains a platinum group metals, a conductive oxide, and a glue line as a vertical electrode carries out suitable [of the material of construction]. Of course, what is necessary is just not the thing limited to these but the material which goes out by use equally. Moreover, PZT, PLZT, Bi stratified compound, etc. carry out suitable [of the ferroelectric]. A protective coat 126 is performed in the best layer.

[0119] Then, that it is simultaneous or separately, via hole is formed in a semiconductor device 124, the vertical section electrode line 19, and 20 both sides, and they are wired in ***** or the aluminum with a heat-resistant barrier layer. Then, a protective coat is formed again.

[0120] Moreover, in this operation gestalt, a circumference circuit may be formed in the field of the circumference of this memory matrix smut, and may be distributed according to the function in a chip.

[0121] Next, with reference to drawing 29, the un-destroying type ferroelectric memory apparatus and its drive technique as the 20th operation gestalt are explained. The method which the configuration of this memory apparatus uses the 12th operation gestalt as the base, and performs the writing and read-out of data is equivalent to drawing 3 (a) to (c).

[0122] Drawing 29 (a) shows the physical relationship of the memory cell matte 21 and the circumference circuit 115. Moreover, drawing 29 (b) and (c) show the cross-section structure in a manufacturing process. The memory cell matte 21 of the simple matrix which used the ferroelectric thin film for the record medium is formed in the circuit upper layer which covered with the circumference circuit 115 here.

[0123] As shown in drawing 29 (b), even the passivation layers 122, such as PSG and BPSG, form membranes on the semiconductor substrate containing the piezoelectric transistor used as the ***** device formed beforehand, or MOS transistor 124, and after forming the contact hole linked to the diffusion layer of a device, one layer or two or more wirings are performed. After formation of these devices and a circuit, the suitable layer mesenterium 128 is formed, via hole is formed beforehand, and it forms on it in the order of the lower electrode line 20, the ferroelectric thin film 125, and the up electrode line 19. The formation technique and a material are equivalent to the 19th operation gestalt mentioned above, and are good.

[0124] Moreover, the central processing unit and digital-signal-processing equipment containing a circumference circuit or a control circuit may be formed in the ***** device on a semiconductor substrate.

[0125] According to this operation gestalt, since it does not have a transistor in a memory cell, a semiconductor chip can be used effectively. For example, a 32-bit central-process circuit is formed in an active element, and the laminating of the memory is carried out, and formation of 1 chip microcomputer is attained. Moreover, central-process circuit **** digital-signal-processing equipment is formed as an active element, and the laminating of the memory is carried out, and formation of the perfect-with recording device voice of one chip and an image-processing function is attained. Next, with reference to drawing 30, the un-destroying type ferroelectric memory apparatus and its drive technique as the 21st operation gestalt are explained.

[0126] In this operation gestalt, since it does not have a transistor in the memory cell, not only one layer but two or more lamination of the memory cell matte of a ferroelectric which consists of a simple matrix is attained. The laminating of the pair of two or more at least two up electrode lines 20 and the lower electrode line 19 can be carried out.

[0127] According to this operation gestalt, since a transistor is not included in a memory cell, a semiconductor chip can be used effectively. For example, a 32-bit central-process circuit is formed

as an active element, and the laminating of the memory cell is carried out, and formation of 1 chip microcomputer is attained. Moreover, central-process circuit **** digital-signal-processing equipment is formed as an active element, and the laminating of the memory cell is carried out, and formation of the perfect-with recording device voice of one chip and an image-processing function is attained.

[0128] Moreover, according to this operation gestalt, integration of very huge memory is attained with a loose manipulation rule. Here, even with a 1-micron manipulation rule, in this operation gestalt, the non-volatile memory of 2Gbits becomes possible from 512Mbit, and it carries out suitable [of these] to multimedia by the four layer laminating.

[0129] Although explained based on the above operation gestalt, the following invention is also included in this specification.

[0130] (1) In the 1st which intersects perpendicularly mutually, and the ferroelectric memory which makes a storage cell ferroelectric thin film capacity pinched by the 2nd electrode Polarization of the 1st pulse which has the voltage V_e larger than the anti-voltage V_c of the aforementioned ferroelectric thin film is impressed and changed into the 1st polarization status of the two status of spontaneous polarization (polarization). Next, the domain which impresses the 2nd pulse which has the voltage V_w with a parvus absolute value, and has polarization of the 1st aforementioned orientation from V_e of reversed polarity in the aforementioned applied voltage V_e , In the method which remembers an information to be the 1st aforementioned orientation in the state of partial polarization which the domain which has the 2nd polarization of an opposite direction mixed The comparison dummy ferroelectric thin film capacity which is the same, or reads a memory information in un-destroying using the parvus and the positive or negative read-out pulse V_r , and was prepared apart from the aforementioned ferroelectric thin film capacity in the absolute value from V_e , The 1st differential type amplifier which was able to apply feedback by the capacity connected to the aforementioned ferroelectric thin film capacity, The ferroelectric memory apparatus which consisted of the 3rd differential type amplifier which inputs the output of the 2nd differential type amplifier which was able to apply feedback by the capacity connected to the aforementioned comparison dummy ferroelectric thin film capacity, and these differential type amplifier.

[0131] (2) In the aforementioned ferroelectric memory apparatus, have two or more aforementioned ferroelectric thin film capacity elements, and it lets the switch for selection pass for this ferroelectric thin film capacity element. Connect with the 1st pulse generator which generates the 1st pulse for a deletion, the 1st pulse for writing, and the 1st pulse for read-out, and it lets the switch for selection pass in comparison dummy ferroelectric thin film capacity. The ferroelectric memory apparatus of the aforementioned (1) publication characterized by connecting with the 2nd pulse generator which generates the 2nd pulse for a deletion, and the 2nd pulse for read-out.

[0132] (2) ' In the aforementioned ferroelectric memory apparatus, have two or more aforementioned ferroelectric thin film capacity elements, and it lets the switch for selection pass for this ferroelectric thin film capacity element. Connect with the 1st pulse generator which generates the 1st pulse for a deletion, the 1st pulse for writing, and the 1st pulse for read-out, and it lets the switch for selection pass in comparison dummy ferroelectric thin film capacity. The ferroelectric memory apparatus of the aforementioned (1) publication characterized by connecting with the 2nd pulse generator which generates the 2nd pulse for a deletion, the 2nd pulse for writing, and the 2nd pulse for read-out.

[0133] (3) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- a dummy cell -- area -- the -- one -- orientation -- a fraction -- polarization -- the status -- capacity -- a difference -- this -- the -- one -- orientation -- capacity -- a ratio -- about -- one -- /-- two -- a memory cell -- area - being large -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- one --) -- a publication -- a ferroelectric -- a memory apparatus .

[0134] (4) the above -- a ferroelectric -- a memory apparatus -- setting -- a dummy cell -- area -- the - one -- orientation -- a fraction -- polarization -- the status -- capacity -- a difference -- the -- one -- orientation -- capacity -- a ratio -- eight -- /-- ten -- **** -- two -- /-- ten -- a domain -- a memory cell -- area -- being large -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- one -) -- a publication -- a ferroelectric -- a memory apparatus .

[0135] (5) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- a ferroelectric - a thin film -- capacity -- the -- one -- a differential -- type -- amplifier -- between -- the -- one -- a

transfer switch -- a comparison -- a dummy -- a ferroelectric -- a thin film -- capacity -- the -- two -- a differential -- type -- amplifier -- between -- the -- two -- a transfer switch -- preparing -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- one --) -- a term --

[0136] (6) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- the -- one -- a differential -- type -- amplifier -- one side -- an input terminal -- and -- the above -- the -- one -- a transfer switch -- one side -- a terminal -- zero -- a bias -- or -- the same -- potential -- it is -- the above -- the -- two -- a differential -- type -- amplifier -- one side -- an input terminal -- and -- the -- two -- a transfer switch -- one side -- a terminal -- zero -- a bias

[0137] Therefore, according to the above (1) or the (6) terms, polarization of the 1st pulse 13 which has the voltage V_e larger than the anti-voltage V_c of the aforementioned ferroelectric thin film is impressed and changed into the 1st polarization status of the two status of spontaneous polarization (polarization). Next, in the aforementioned applied voltage V_e , the 2nd pulse 14 which has the voltage V_w of reversed polarity is impressed, and the domain which has polarization of the 1st aforementioned orientation, and the 1st aforementioned orientation memorize an information in the state of partial polarization which the domain which has the 2nd polarization of an opposite direction mixed. Although this status appears as a difference of capacity, when reading on a read-out voltage, for a parvus reason, capacity factors $\Delta C/C$ need to amplify it. If C considers temperature dependence, data-hold time dependency, etc. at this time, comparison read-out by the reference cell using ferroelectric capacity is required. Here, the bulk memory of this not destroying becomes possible in the sense circuit which combined comparison read-out by the capacity addition feedback circuit and reference cell which can read $\Delta C/\text{small } C$ without voltage change of the data line. Therefore, the un-destroying type ferroelectric memory which can realize the incoherency at the time of writing and the incoherency at the time of read-out, and destructive read, and carries out suitable to large-scale-izing and large capacity-ization in the sense circuit which combined comparison read-out by the capacity addition feedback circuit and reference cell which can read $\Delta C/\text{small } C$ without voltage change of the data line becomes realizable.

[0138] (7) The ferroelectric thin film capacity connected to the differential type amplifier of the above 1st in the aforementioned ferroelectric memory apparatus is a ferroelectric memory apparatus given in the aforementioned (1) term characterized by being a plurality.

[0139] (8) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- the -- one -- a differential -- type -- amplifier -- connecting -- having -- a ferroelectric -- a thin film -- capacity -- a stripe -- ** -- the upper part -- an electrode -- it -- almost -- intersecting perpendicularly -- a stripe -- ** -- the lower part -- an electrode -- crossing -- and -- the upper part -- an electrode -- a stock -- an electrode -- crossing -- these -- inserting -- having had -- a field -- it is -- simple --

[0140] (9) A ferroelectric memory apparatus given in the aforementioned (8) term characterized by the line selection circuitry linked to the 1st aforementioned electrode, and the pulse generator connected through the aforementioned line selection circuitry in the aforementioned ferroelectric memory apparatus.

[0141] (10) A ferroelectric memory apparatus given in any 1 term of the aforementioned (7) term characterized by having the line selection circuitry connected with the 2nd aforementioned electrode among the 1st aforementioned differential amplifier in the aforementioned ferroelectric memory apparatus, and (8) terms.

[0142] (11) The 2nd ferroelectric thin film capacity connected to the differential type amplifier of the above 2nd in the aforementioned ferroelectric memory apparatus is a ferroelectric memory apparatus given in the aforementioned (1) term characterized by being a plurality.

[0143] (12) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- the -- two -- a ferroelectric -- a thin film -- capacity -- an electrode -- the above -- the -- two -- the differential amplifier -- between -- connecting -- having -- a line -- a selection circuitry -- having -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- one --) -- a term -- (-- seven --) -- a term -- or -- (-- 11 --) -- a term -- some -- one -- an

[0144] (13) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- the -- two -- a ferroelectric -- capacity -- an electrode -- the above -- the -- two -- a pulse -- generating -- the -- two -- a pulse generator -- between -- connecting -- having -- a line -- a selection circuitry -- having -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- one --) -- a term -- (-- seven

--) -- a term -- or -- (-- 11 --) -- a term

[0145] (14) A ferroelectric memory apparatus given in any 1 term of the aforementioned (1) term characterized by connecting the ferroelectric capacity for reference between the electrode line of the above 1st, and the 1st aforementioned pulse generator in the aforementioned ferroelectric memory apparatus, (7) terms, or (13) terms.

[0146] (15) A ferroelectric memory apparatus given in any 1 term of the aforementioned (1) term characterized by connecting the ferroelectric capacity for reference between the electrode line of the above 2nd, and the 1st aforementioned pulse generator in the aforementioned ferroelectric memory apparatus, (7) terms, or (14) terms.

[0147] (16) A ferroelectric memory apparatus given in any 1 term of the aforementioned (1) term characterized by the 1st aforementioned pulse generator and the 2nd aforementioned pulse generator being equivalent in the aforementioned ferroelectric memory apparatus, (7) terms, or (15) terms.

[0148] Therefore, according to the aforementioned (7) term or the (16) terms, in a simple matrix, the cell for referring to the dummy is made, it is crowded, and this is driven by the same pulse driver circuit.

[0149] therefore -- easy -- a manufacture -- and a pattern design can be carried out, and it is stabilized and drives

[0150] (17) the above -- a ferroelectric -- a memory apparatus -- setting -- further -- a memory cell -- a matte -- the -- one -- an electrode -- a line -- connecting -- having had -- a simultaneous switch -- the -- one -- a selection circuitry -- the -- one -- a pulse generator -- a sense amplifier -- the -- two -- an electrode -- a line -- connecting -- having had -- being another -- a simultaneous switch -- the above -- the -- one -- a pulse generator -- being equivalent -- the -- two -- a pulse generator -- reference -- a cell

[0151] (18) the above -- a ferroelectric -- a memory apparatus -- setting -- a plurality -- the above -- two -- an electrode -- a line -- respectively -- alike -- a sense amplifier -- and -- reference -- ** -- a cell -- a pulse generator -- connecting -- having had -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 17 --) -- a term -- a publication -- a ferroelectric -- a memory apparatus .

[0152] Therefore, since according to the aforementioned (17) ***** (18) term the output of each data line was connected to the sense circuit and the dummy cell for reference of each data-line unit was arranged, a signal is read per data line.

[0153] Therefore, it is enabled to read a lot of data at once.

[0154] (19) A ferroelectric memory apparatus given in the aforementioned (17) term characterized by having a selecting switch and a pulse generator for reference in the aforementioned ferroelectric memory apparatus between another simultaneous switches and the reference cells which were connected to the electrode line of the above 2nd.

[0155] (20) A ferroelectric memory apparatus given in the aforementioned (17) term characterized by *****ing on the 2nd electrode line per plurality, and connecting the pulse generator with a sense amplifier and the cell for reference to each further in the aforementioned ferroelectric memory apparatus.

[0156] Therefore, since according to the aforementioned (19) ***** (20) term the selection circuitry was prepared in the data line of the unit of an arbitrary number, the output was connected to the sense circuit and the dummy cell for reference of the data line of the unit of an arbitrary number was arranged, the data line is chosen and a signal is read.

[0157] Therefore, it is enabled to read a lot of data, such as a byte unit, at once. Moreover, the pattern design of a sense circuit becomes possible.

[0158] (21) the above -- a ferroelectric -- a memory apparatus -- setting -- further -- the above -- the -- one -- the differential amplifier -- connecting -- having -- the -- one -- an electrode -- a line -- the -- two -- the differential amplifier -- connecting -- having -- the -- two -- an electrode -- a line -- a plurality -- a memory cell -- a ferroelectric -- capacity -- at least -- one -- a ** -- more than -- a dummy -- a ferroelectric -- capacity -- connecting -- having had -- things -- the characteristic feature -- ** -- carrying out

[0159] (22) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- the -- one -- the differential amplifier -- connecting -- having -- the -- one -- an electrode -- a line -- the above --

the -- two -- the differential amplifier -- connecting -- having -- the -- two -- an electrode -- a line -- respectively -- connecting -- having had -- a memory cell -- a ferroelectric -- capacity -- a number -- being the same -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 21 --) -- an

(23) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- the -- one -- the differential amplifier -- connecting -- having -- the -- one -- an electrode -- a line -- the above -- the -- two -- the differential amplifier -- connecting -- having -- the -- two -- an electrode -- a line -- respectively -- alike -- connecting -- having had -- a dummy -- a ferroelectric -- capacity -- a number -- being the same -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 21 --)

[0160] (24) At the time of read-out of the information on the memory cell ferroelectric capacity connected to the 1st electrode line connected with the 1st aforementioned differential amplifier in the aforementioned ferroelectric memory apparatus Comparison read-out is performed using the dummy ferroelectric capacity connected to the 2nd electrode line connected to the 2nd aforementioned differential amplifier. At the time of read-out of the memory cell ferroelectric capacity connected to the 2nd electrode line connected to the 2nd aforementioned differential amplifier A ferroelectric memory apparatus given in the aforementioned (21) term characterized by performing comparison read-out using the dummy ferroelectric capacity connected to the 1st electrode line connected to the 1st aforementioned differential amplifier.

[0161] (25) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- the -- one -- the differential amplifier -- connecting -- having -- the -- one -- an electrode -- a line -- the -- three -- an electrode -- a line -- almost -- going direct -- simple -- a matrix -- forming -- the above -- the -- two -- the differential amplifier -- connecting -- having -- the -- two -- an electrode -- a line -- the -- four -- an electrode -- a line -- almost -- going direct -- simple -- an

[0162] (26) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- a dummy -- a ferroelectric -- capacity -- the -- one -- an electrode -- a line -- almost -- having gone direct -- the -- three -- an electrode -- an intersection -- ***** -- giving -- having -- the above -- a dummy -- a ferroelectric -- capacity -- the -- two -- an electrode -- a line -- almost -- having gone direct -- others -- an electrode -- an intersection -- ***** -- giving -- having -- things -- the characteristic feature

[0163] Therefore, according to the aforementioned (21) ***** (26) term, a twice as many cell as this can be read in one sense circuit by creating and comparing a memory cell with a reference memory cell in two simple matrices.

[0164] Therefore, since data-line capacity is the same, a design of a sense amplifier can be performed easily and the deployment of the sense amplifier area can be carried out.

[0165] (27) A ferroelectric memory apparatus given in the aforementioned (1) term characterized by what it consists of further two or more X selection circuitries, Y selection circuitries, a memory cell matte and a pulse generator, and sense amplifiers, a sense amplifier is inserted in the aforementioned ferroelectric memory apparatus, and Y selection circuitry and the memory cell matte were mostly constituted for by **.

[0166] Therefore, according to the aforementioned (27) term, by placing a memory cell symmetrically through a sense amplifier, it is efficient and arrangement of a memory matte is attained at an effective area.

[0167] Therefore, it is enabled to take large bit density.

[0168] (28) A ferroelectric memory apparatus given in the aforementioned (27) term characterized by inserting the aforementioned sense amplifier and having two or more configuration units from which Y selection circuitry and the memory cell matte were mostly constituted by ** in the aforementioned ferroelectric memory apparatus.

[0169] (29) A ferroelectric memory apparatus given in the aforementioned (28) term characterized by consisting of a simple matrix by which the 1st memory cell, the 1st dummy cell and the 2nd memory cell, and the 2nd dummy cell were inserted into the vertical electrode which goes direct mostly mutually in the aforementioned ferroelectric memory apparatus.

[0170] Therefore, according to the aforementioned (28) ***** (29) term, X selection circuitry is sharing-ized for a memory cell, and Y selection circuitry and a sense amplifier are divided, and variance of a function is attained. The cell for reference can be created simultaneously.

[0171] Therefore, bit density is raised and it is enabled to achieve highly efficient-ization.

[0172] (30) In the ferroelectric memory apparatus which makes a storage cell ferroelectric thin film capacity pinched by the electrode of a couple Polarization of the 1st pulse which has the voltage V_e larger than the anti-voltage V_c of the aforementioned ferroelectric thin film is impressed and changed into the 1st polarization status of the two status of spontaneous polarization (polarization). Next, the domain which impresses the 2nd pulse which has the voltage V_w with a parvus absolute value, and has polarization of the 1st aforementioned orientation from V_e of reversed polarity in the aforementioned applied voltage V_e , the method which remembers an information to be the 1st aforementioned orientation in the state of partial polarization which the domain which has the 2nd polarization of an opposite direction mixed -- setting -- the aforementioned ferroelectric memory cell -- and The memory cell for reference consists of a simple matrix by the electrode of the couple which goes direct mostly. the memory cell matte of the whole chip It is the ferroelectric memory apparatus characterized by being constituted per one lump's record called one or more sectors, arranging at least one or more memory cells for reference at this sector, putting in block the inside of this memory cell, and making a deletion.

[0173] (31) A ferroelectric memory apparatus given in the aforementioned (30) term characterized by for the writing of the aforementioned ferroelectric memory cell and the memory cell for reference bundling up per sector, and performing it in the aforementioned ferroelectric memory apparatus.

[0174] (32) It is a ferroelectric memory apparatus given in the aforementioned (30) term characterized by the ability of read-out in the aforementioned sector to carry out random access in the aforementioned ferroelectric memory apparatus.

[0175] (33) A ferroelectric memory apparatus given in the aforementioned (30) term further characterized by being a nonvolatile memory chip with two or more sectors and sector control circuits into 1 chip in the aforementioned ferroelectric memory apparatus.

[0176] (34) A ferroelectric memory apparatus given in the aforementioned (31) term characterized by having a memory cell matte, X selection sense circuit, Y selection sense circuit, at least one dummy cell, and a control circuit into each sector in the aforementioned ferroelectric memory apparatus.

[0177] (35) the above -- a ferroelectric -- a memory apparatus -- setting -- a plurality -- a chip -- a line -- I/O -- a circuit -- a control circuit -- an output terminal -- having -- a desorption -- being possible -- a memory apparatus -- for example, -- memory -- a card -- it is -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 33 --) -- a term -- (-- 34 --) -- a term -- some -- one -- a term -- a publication -- a ferroelectric -- a memory apparatus --

[0178] Therefore, according to the aforementioned (30) term or the (35) terms, the smallest unit of memory is sector-ized and it considers as the unit of a deletion and writing in it.

[0179] Therefore, the un-destroying nature at the time of non-interfering writing and writing is guaranteed.

[0180] (36) the above -- a ferroelectric -- a memory apparatus -- setting -- a plurality -- a sector -- containing -- a block -- constituting -- having -- **** -- one -- a chip -- a plurality -- a block -- constituting -- having had -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 30 --) -- a term -- a publication -- a ferroelectric -- a memory apparatus .

(37) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- a block -- a unit -- an information -- a batch -- a deletion -- carrying out -- having -- each -- a sector -- a unit -- an information -- writing -- carrying out -- an information -- read-out -- random access -- carrying out -- having -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 36 --) -- a term -- a publication -- a ferroelectric -- a memory apparatus .

[0181] (38) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- a block -- a unit -- an information -- a batch -- a deletion -- carrying out -- having -- each -- a sector -- a unit -- an information -- writing -- carrying out -- an information -- read-out -- a batch -- read-out -- carrying out -- having -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 36 --) -- a term -- a publication -- a ferroelectric -- a memory apparatus .

[0182] Therefore, according to the aforementioned (36) term or the (38) terms, the smallest unit of a deletion is blocked, the smallest unit of writing of memory is sector-ized, and an information is read.

[0183] Therefore, the un-destroying nature at the time of non-interfering writing and writing is guaranteed.

[0184] (39) In the aforementioned ferroelectric memory apparatus, consist of two or more X selection circuitries and Y selection circuitries, a memory cell matte, a pulse generator, and a sense amplifier, and insert the aforementioned sense amplifier. It is a ferroelectric memory apparatus given in any 1 term of the aforementioned (30) term characterized by arranging Y selection circuitry and a memory cell matte almost symmetrically, and each sector of X selection circuitry being common per one chip or block, and arranging Y selection circuitry independently, and (36) terms.

[0185] (40) the above -- a ferroelectric -- a memory apparatus -- setting -- a plurality -- a chip -- a line -- I/O -- a circuit -- a control circuit -- an output terminal -- having -- a desorption -- being possible -- a memory apparatus -- for example, -- memory -- a card -- it is -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 37 --) -- a term -- or -- (-- 39 --) -- a term -- some -- one -- a term -- a publication -- a ferroelectric -- an

[0186] Therefore, according to the aforementioned (39) ***** (40) term, it considers as the unit of writing, considering a memory cell field common to X selection as a block, considering as the unit of a deletion, and using Y selection of a certain unit as a sector.

[0187] Therefore, bit density is raised and it is enabled to achieve highly efficient-ization.

[0188] (41) the above -- a ferroelectric -- a memory apparatus -- setting -- one -- a chip -- memory -- the section -- memory -- management -- a function -- I/O -- a circuit -- having had -- a desorption -- being possible -- a memory apparatus -- for example, -- memory -- a card -- it is -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 37 --) -- a term -- or -- (-- 39 --) -- a term -- some -- one -- a term -- a publication -- an

[0189] (42) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- memory -- management -- a function -- memory -- circles -- a block -- or -- a sector -- a unit -- a storage cell -- receiving -- an information -- a deletion -- writing -- read-out -- a function -- controlling -- each -- a sector -- a unit -- a directory (address information) -- a keyword -- an information -- having -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 41 --) -- a term

[0190] (43) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- a control circuit -- MPU -- constituting -- having -- **** -- memory -- circles -- a block -- or -- a sector -- a unit -- a storage cell -- receiving -- an information -- a deletion -- writing -- read-out -- a function -- controlling -- each -- a sector -- a unit -- a directory (address information) -- a keyword -- an information -- having had -- things -- the characteristic feature -- ** -- carrying out -- the above -- (-- 40

[0191] Therefore, according to the aforementioned (41) term or the (43) terms, a directory manages a sector and the operating condition of a block, and it becomes easy to use memory.

[0192] Therefore, mass memory becomes usable simply.

[0193] (44) It has a storage cell for the ferroelectric thin film capacity pinched by the electrode of a couple. The aforementioned storage cell impresses and changes into the 1st polarization status of the two status of spontaneous polarization (polarization) polarization of the 1st pulse which has the voltage V_e larger than the anti-voltage V_c of the aforementioned ferroelectric thin film. Next, the domain which impresses the 2nd pulse which has the voltage V_w with a parvus absolute value, and has polarization of the 1st aforementioned orientation from V_e of reversed polarity in the aforementioned applied voltage V_e . In the ferroelectric memory apparatus which remembers an information to be the 1st aforementioned orientation in the state of partial polarization which the domain which has the 2nd polarization of an opposite direction mixed The memory section and the antenna which are carried in one chip or two or more chips, a tuning circuit, The memory apparatus which consists of a detector circuit, a recovery circuit, an oscillator circuit, a modulation circuit, and a control circuit, and exchanges a signal through radio and in which a desorption is possible, for example, the ferroelectric memory apparatus characterized by being a memory card.

[0194] (45) A ferroelectric memory apparatus given in the aforementioned (44) term which has the circuit which generates the voltage for driving, and power, and is characterized by being the memory apparatus in which a desorption is possible in the aforementioned ferroelectric memory apparatus from the Hertzian wave to receive.

[0195] (46) the above -- a ferroelectric -- a memory apparatus -- setting -- the above -- an antenna -- except -- a site -- one -- a chip -- carrying -- a Hertzian wave -- an information -- a signal -- exchanging -- a desorption -- being possible -- a memory apparatus -- it is -- things -- the

characteristic feature -- ** -- carrying out -- the above -- (-- 44 --) -- ***** -- (-- 45 --) -- a term -- some -- one -- a term -- a publication -- a ferroelectric -- a memory apparatus .

[0196] (47) A ferroelectric memory apparatus given in any 1 term of the aforementioned (44) ***** (45) term characterized by carrying the aforementioned antenna on the aforementioned 1 chip in the aforementioned ferroelectric memory apparatus.

[0197] (48) It is a ferroelectric memory apparatus given in any 1 term of the aforementioned (44) term characterized by the aforementioned Hertzian wave being the memory apparatus which is a millimeter wave from microwave, and in which a desorption is possible, for example, a memory card, in the aforementioned ferroelectric memory apparatus, and (45) ***** (47) term.

[0198] therefore -- according to the aforementioned (44) term or (48) terms -- this method of a ferroelectric -- a low battery -- and low power and mass memory are possible, and it tears and appears in the application in which a lot of data communication is possible through radio This advantage can be pulled out by using a Hertzian wave (RF) circuit.

[0199] Therefore, the data carrier in which a lot of data communication is possible through radio becomes possible.

[0200] (49) A ferroelectric memory apparatus given in the aforementioned (44) term characterized by being the memory card which can be exchanged through radio about data peculiar to an individual to the computer which was able to prepare RF antenna containing a signal strange recovery circuit, and the microwave antenna in the aforementioned ferroelectric memory apparatus.

[0201] (50) A ferroelectric memory apparatus given in the aforementioned (49) term which reads an individual reference number in the aforementioned memory card which can be exchanged through radio in the aforementioned ferroelectric memory apparatus, and is characterized by the thing which carries out an environmental setup automatically, and which can be carried out at a computer.

[0202] Therefore, according to the aforementioned (49) ***** (50) term, a lot of data communication and extensive memory by the Hertzian wave (RF) are the the best for the individual data card of a computer. the hard disk for individuals -- the time -- the former -- having been difficult -- although -- this technique -- using -- since -- being possible -- becoming .

[0203] Therefore, any computers become usable just like the machine only for themselves with an individual database.

[0204] (51) A ferroelectric memory apparatus given in the aforementioned (44) term characterized by being the memory card which can be exchanged through radio about data peculiar to an individual to the system containing the computer for mount and navigation system which control the power-door-lock function carried in an automobile in which RF antenna containing a signal strange recovery circuit and the microwave antenna were prepared in the aforementioned ferroelectric memory apparatus, and a run.

[0205] Therefore, according to the aforementioned (51) term, a lot of data communication and extensive memory by the Hertzian wave (RF) are the the best for the individual data card of an automobile. Since possession of conventionally difficult ID, a security, and exclusive data uses this technique by mass data and CPU, it becomes possible.

[0206] Therefore, since possession of ID, a security, and exclusive data uses this technique, it becomes possible.

[0207] (52) A ferroelectric memory apparatus given in the aforementioned (44) term characterized by being the memory card which can be exchanged through radio about data peculiar to an individual to the system containing the power-door-lock function and ID recognition equipment which discriminates the operator carried in the aforementioned automobile in which RF antenna containing a signal strange recovery circuit and the microwave antenna (58) were prepared in the aforementioned ferroelectric memory apparatus, and position recognition equipment.

[0208] Therefore, according to the aforementioned (52) term, a lot of data communication and extensive memory by the Hertzian wave (RF) are the the best for the individual ID data card of a security system. Since possession of conventionally difficult ID, a security, and exclusive data uses this technique by mass data and CPU, it becomes possible.

[0209] Therefore, since possession of ID, a security, and exclusive data uses this technique, it becomes possible.

[0210] (53) A ferroelectric memory apparatus given in the aforementioned (44) term characterized

▼
aforementioned (56) term characterized by being formed around the field where the aforementioned memory cell is arranged in the aforementioned ferroelectric memory apparatus.

[0220] (58) It is the ferroelectric memory apparatus indicated by any 1 term of the aforementioned (56) term characterized by the 3rd electrode which newly prepared the aforementioned up electrode and the lower electrode in the aforementioned ferroelectric memory apparatus connecting with the device of a circumference circuit, and (57) terms.

[0221] Therefore, according to the aforementioned (55) term or the (58) terms, by this technique, the configuration and process after an actual creation of this memory are shown, and an easy configuration, a loose manipulation rule, and few mask number of sheets can realize memory.

[0222] (59) It has the memory cell of the ferroelectric thin film pinched by the electrode of a couple. Polarization of the 1st pulse which has the voltage V_e larger than the anti-voltage V_c of the aforementioned ferroelectric thin film is impressed and changed into the 1st polarization status of the two status of spontaneous polarization (polarization).

Since it became timeout time, translation result display processing is stopped.

(11)特許出願公開番号

The diagram shows a 10-bit DAC circuit. It consists of a feedback loop with an operational amplifier (10) and a feedback capacitor (C_{FD} 18). The input of the op-amp is connected to a summing junction (17) which receives signals from a network of 10 switches (12-15) and a reference voltage (V_{REF} 13). The output of the op-amp is connected to a network of 10 switches (1-4) and a reference voltage (V_{REF} 3). The switches are controlled by digital inputs ϕ_1 through ϕ_{10} . The circuit also includes two comparators (7 and 8) and a feedback capacitor (C_{FC} 11). The output of the DAC is connected to a load (16) and a feedback capacitor (C_{FD} 18).

1

【特許請求の範囲】

【請求項1】 1対の電極により挟持された強誘電体薄膜の自発分極（分極）の状態により情報を記憶する記憶セルを用いる強誘電体メモリにおいて、

前記記憶セルに前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する記憶情報の消去用の第1のパルスを印加するための第1の端子と、

前記記憶セルに前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する情報書き込み用の第2のパルスを印加するための第2の端子と、

前記記憶セルに前記電圧 V_e より以下の絶対値を持つ、正または負のいずれかの電圧 V_r を有し、非破壊的にメモリ情報を読み出すための第3のパルスを印加するための第3の端子と、

前記第1乃至第3の端子のいずれかを選択する第1の選択スイッチ手段と、

前記記憶セルの出力側に一端が接地される第1の切換えスイッチ手段を介して接続される帰還用容量を有して出力に帰還をかけられた第1の差動型アンプと、

前記記憶セルと同等の強誘電体薄膜からなり、該記憶セルに記憶される情報と同一の情報を記憶し、任意に比較読み出しを行う参照用ダミーセルに接続する前記第1乃至第3のパルス信号と同等のパルス信号が印加される第4乃至第6の端子と、

前記第4乃至第6の端子のいずれかを選択し該参照用ダミーセルに印加する第2の選択スイッチ手段と、

前記参照用ダミーセルの出力側に一端が接地される第2の切換えスイッチ手段を介して接続される帰還用容量を有して出力に帰還をかけられた第2の差動型アンプと、

前記第1の差動型アンプと前記第2の差動型アンプとの差分を出力する第3の差動型アンプと、を具備し、

前記第1、第2の選択スイッチ手段及び、第1、第2の切換えスイッチ手段により、前記記憶セル及び前記参照用ダミーセルへの情報の消去・書き込み・読み出しを行い、

前記記憶セル及び前記参照用ダミーセルが、前記強誘電体薄膜の自発分極の2つの状態のうちの第1の分極状態に、前記電圧 V_e の第1のパルスを印加して分極し、次に前記電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報を記憶し、前記電圧 V_r の第3のパルスを印加して非破壊的にメモリ情報を読み出すことを特徴とする非破壊型強誘電体メモリ。

【請求項2】 1対の電極により挟持された強誘電体薄膜の自発分極（分極）の状態により情報を記憶する複数の記憶セル及び少なくとも1つの参照用ダミーセルを有し、前記強誘電体薄膜の自発分極（分極）の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルスを印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より

2

り小さい絶対値を持つ電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリにおいて、

前記記憶セル及び前記参照用ダミーセルが、半導体チップ上で互いに直交する一対のストライプ電極に挟まれ単純マトリックスに配置されたメモリセルマトリックスを形成し、

10 前記メモリセルマトリックスは、半導体チップ上で、任意数の前記記憶セルで構成される1つ以上のセクタに区別され、該セクタに少なくとも1つ以上の前記参照用ダミーセルが置かれ、このメモリセルマトリックス内の記憶セルの情報は、一括的に消去されることを特徴とする非破壊型強誘電体メモリ。

【請求項3】 1対の電極により挟持された強誘電体薄膜の自発分極（分極）の状態により情報を記憶する記憶セルを有し、

前記強誘電体薄膜の自発分極（分極）の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルスを印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリにおいて、

前記強誘電体メモリは、1つの半導体チップまたは複数の半導体チップ上に形成される、記憶セルを有するメモリ部、アンテナ、同調回路、検波回路、復調回路、発振回路、変調回路、及び制御回路で構成され、電波を用いて情報の通信及び処理を行う、脱着可能なメモリ装置であることを特徴とする非破壊型強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子回路に使用される固体型記録装置に係り、特に強誘電体薄膜を用いた非破壊型強誘電体メモリに関する。

【0002】

40 【従来の技術】一般に、コンピュータと画像装置の発展に伴い、高密度で高性能のメモリ装置が要求されている。従来のメモリ装置としては、磁気テープ、フロッピーディスク、光磁気ディスクといった外部メモリ装置、あるいは、半導体メモリ、すなわち、DRAM、SRAM、EPROM、EEPROM、フラッシュメモリ等が用いられていた。

【0003】そして、マルチメディアとコンピュータとが融合された場合に、メモリ装置としては、第1に不揮発性、第2に高速低電圧駆動であり、第3に駆動レスの固体メモリであるといった、より高性能でコンパクトな

メモリが必要とされる。しかし、従来の記録装置の技術では対応できない場合がある。

【0004】これに代るメモリ装置として、例えば、USP4, 873, 664 (S. Sheffield Eaton Jr., Colorado Springs, CO)に開示されているような強誘電体メモリがある。

【0005】この強誘電体メモリの構成を図31に示す。

【0006】メモリセル301内の強誘電体薄膜容量302がスイッチング素子であり、FET303によりドライブされるDRAM方式の蓄積容量を強誘電体容量に変えた構成となっている。メモリセルへの駆動は、ワードライン304、プレートライン305、ビットライン308に接続され、その読み出しは、センスアンプ307で行なう。

【0007】この構成では、センスアンプ307がSiデバイスの上に形成されているため、集積度、コストともに半導体メモリのDRAMやFLASHメモリと同程度になり、例えば、数100Mbyteのカードを作る場合には不都合である。

【0008】これに対して、USP5, 060, 191に開示されている方法は、図32に示すように、強誘電体材料313で単純マトリックス構造を作り、読み出しドライブ回路314, 315で信号検出する方式である。

【0009】このような単純マトリックスで構成されたメモリの大きな問題は、セルが隣接して配置されており、選択したセルと非選択のセルとの干渉である。例えば、あるセルを選択し、書き込み/読み出しを行なう際に、電圧Vaを印加した場合、選択しない非選択セルにも電圧が印加されてしまう。特に、セル数が大きくなるにつれて、選択セルの入力側/出力側の電極ラインに接続される非選択セルにはVa/2が印加されてしまう。

【0010】そこで、上記USP5, 060, 191では、選択セルに対する印加電圧Vaに対して、例えば、Va/3を非選択セルに印加されるよう工夫して、書き込み動作を行なう。また、読み出しは、低インピーダンスの電圧を読み出して、非選択セルからのノイズをカットしている。しかし、書き込み時に選択セルの分極反転に必要な電圧Vaを印加すると、非選択セルの分極状態は、Va/3の電圧ですら多数回の印加により破壊されてしまう。

【0011】また、USP5, 140, 548 (C.J. Brennan)では、強誘電体内に空間電荷層と中性領域の両方が存在して、図33のような容量-電圧特性を作ると考え、負の電圧で書き込んだ320の状態と正の電圧で書き込んだ321の状態と、ある抗電圧Vth以下の電圧Vbを印加、この上に重畳したAC信号により容量を測定すると、“1”状態では、322の容量、“0”状態では、323の容量の2値が得られ、この差で“1”

“0”を判別するというものである。従って、書き込みを行なった後、空間電荷の緩和時間より長い時定数でVbの読み出し電圧を印加し、緩和時間より速い周波数成分を有する交流波形を印加することで分極状態を変化させずに読み出しが行なえるとするものである。

【0012】

【発明が解決しようとする課題】しかし前述した従来技術の問題点として、図31に示した構成において、半導体との組み合わせは、その実現性は比較的容易であるが、Siデバイス、すなわち、スイッチング素子やFETを用いる事により、集積度やコストはDRAMと変わらない。

【0013】また図32に示した単純マトリックス構成の強誘電体メモリは、書き込み時に、強誘電体セルの分極破壊に対する保証を具体的に開示していない。

【0014】図33に示した容量変化を使用する方法は、単純マトリックスに適用した場合、書き込み時には、図32に示した装置に発生した問題をそのまま抱える。読み出し時においても、S/N良く読み出しを行なおうとすると読み出し電圧Vbを、ある程度の大きさを印加せねばならず、多数回の印加により、やはり分極の変化が起こり、非破壊読み出しにはならない。

【0015】そこで本発明は、情報の書き込み・読み出し時に非選択の記憶セルへの非干渉性を有し、非破壊読み出しが実現可能で、且つ大規模化に好適する非破壊型強誘電体メモリを提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は上記目的を達成するために、1対の電極により挟持された強誘電体薄膜の自発分極(分極)の状態により情報を記憶する記憶セルを用いる強誘電体メモリにおいて、前記記憶セルに前記強誘電体薄膜の抗電圧Vcよりも大きい電圧Veを有する記憶情報の消去用の第1のパルスを印加するための第1の端子と、前記記憶セルに前記印加電圧Veとは逆極性のVeより小さい絶対値を持つ電圧Vwを有する情報書き込み用の第2のパルスを印加するための第2の端子と、前記記憶セルに前記電圧Veより絶対値で同値かまたは小さい、正または負のいずれかの電圧Vrである、非破壊的にメモリ情報を読み出すための第3のパルスを印加するための第3の端子と、前記第1乃至第3の端子のいずれかを選択する第1の選択スイッチ手段と、前記記憶セルの出力側に一端が接地される第1の切換えスイッチ手段を介して接続される帰還用容量を有して出力に帰還をかけられた第1の差動型アンプと、前記記憶セルと同等の強誘電体薄膜からなり、該記憶セルに記憶される情報と同一の情報を記憶し、任意に比較読み出しを行う参照用ダミーセルに接続する前記第1乃至第3のパルス信号と同等のパルス信号が印加される第4乃至第6の端子と、前記第4乃至第6の端子のいずれかを選択し該参照用ダミーセルに印加する第2の選択スイッチ手段

と、前記参照用ダミーセルの出力側に一端が接地される第2の切換えスイッチ手段を介して接続される帰還用容量を有して出力に帰還をかけられた第2の差動型アンプと、前記第1の差動型アンプと前記第2の差動型アンプとの差分を出力する第3の差動型アンプとを有し、前記第1、第2の選択スイッチ手段及び、第1、第2の切換えスイッチ手段により、前記記憶セル及び前記参照用ダミーセルへの情報の消去・書込み・読出しを行い、前記記憶セル及び前記参照用ダミーセルが、部分分極状態にて情報を記憶し、前記電圧 V_r の第3のパルスを印加して非破壊的にメモリ情報を読み出す非破壊型強誘電体メモリを提供する。

【0017】以上のような構成の非破壊型強誘電体メモリは、自発分極（分極）の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_{th} よりも大きい電圧 V_e を有する第1のパルスを印加して分極し、次に、前記印加電圧 V_e とは逆極性の電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインが混合した部分分極状態にて情報の記憶を行なう。この状態は、容量の差として現われるが、読み出し電圧で読み出す場合は、容量比 $\Delta C/C$ が小さい為、増幅する必要がある。このとき C が温度依存性やデータ保持時間依存性等を考えると強誘電体容量を用いた参照セルによる比較読み出しが必要である。ここで、小さな $\Delta C/C$ をデータ線の電圧変化なしで読み出せる容量付帰還回路と参照セルとの比較読み出しを組み合わせたセンス回路で、この非破壊の大容量メモリが可能となる。

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について詳細に説明する。

【0019】まず、図1乃至図4を参照して、本発明による非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0020】まず、図2(a)に示すように、例えば、強誘電体薄膜を白金等の電極で挟持された強誘電体メモリセル1の一端は、選択スイッチ2を介して、消去用パルス入力端子3、書込み用パルス入力端子4、読出し用パルス入力端子5に接続される。また強誘電体メモリセル1の他端は、一端が基準電位に接地される放電用の切換えスイッチ6及び差動アンプ7の入力端子に接続し、また差動アンプ7には帰還容量素子（コンデンサ）8が出力がフィードバックされるように接続されている。

【0021】このように構成された強誘電体メモリ装置において、図2(b)示す信号によるデータ書込み及び、データ読出しについて説明する。

【0022】この強誘電体メモリ装置のデータ書込み及びデータ読出しの原理は、基本的に本出願人が提案した特願平6-22545号、特願平7-9992号と同様

である。

【0023】この構成において、まず消去用パルス V_e を入力することにより記録されていたデータを消去し、そのメモリセル1に対して、第1（下向き）方向に分極設定された分極を“0”状態にする。この後、書込み用パルス V_w で所定データの書込みを行う。

【0024】ここで、書込み用パルス V_w の電位は、消去用パルス V_e の電位より、絶対値より小さい必要がある。書込まれたセルは第1（下向き）の分極状態と第2（上向き）の方向に反転させた分極状態を両方を有する、すなわち、部分分極領域である。つまり、部分分極とは、第1の方向の分極と第2の方向の分極との混合状態を有する分極状態である。この状態を“1”とし、図2(c)に示す。メモリの保持は、“0”状態と“1”状態で記録され、本情報は温度や長時間の保持で簡単に劣化するものではない。また“1”と“0”では、ゼロバイアス状態の差があり、“1”状態を C_{s1} 、“0”状態を C_{s0} とすると、 $C_{s0} > C_{s1}$ であり、その差 $(C_{s0} - C_{s1}) / C_{s0}$ が20%程度である事を確認している。

【0025】そして図2(b)に示す読出し用パルス V_r によりデータ読出しを行う。この読出し用パルス V_r による読出しは、非破壊的に行なわれ、消去用パルス V_e の電位より絶対値で小さく、好ましくは書込み用パルス V_w より小さいことが望ましい。なお、読出し用パルス V_r の極性はどちらでも良い。

【0026】この読み出しパルス V_r の印加により、 $1 \times 10^{10} \sim 1 \times 10^{12}$ 回程度の非破壊的に読み出しが可能であることを確認している。またこれらのパルスによる書込み・読出し方法によって、平行に配列される上電極と、上電極とはほぼ直行する用に平行に配列された下電極とで強誘電体膜を挟み、上、下電極で挟まれた領域が1つのメモリセルになる単純マトリックス構造のメモリ構成が可能である。且つ、データ書込み時に、非選択セルへの電圧印加が僅かであり、記録されるデータが破壊されないことも確認している。

【0027】従って、前述した書込み・読出し方法によれば、最も高集積化が可能な不揮発性メモリの実現を示唆している。

【0028】ここで、強誘電体材料は、自発分極を有するものであれば何でも良い。ペロブスカイト構造を有する $Pb(Zr, Ti)O_3$ 、 $(Pb, La)(Zr, Ti)O_3$ 、 $PbTiO_3$ 、 $BaTiO_3$ 等が一般的である。また層状化合物であっても良い。例えば、 $SrBi_2Ta_2O_9$ 、 $SrBi_2Nb_2O_9$ 、 $SrBi_4Ti_4O_{12}$ 、 $SrBi_2(Ta, Nb)_2O_9$ 、 $Bi_4Ti_3O_{12}$ 等である。また成膜方法もゾルゲル、有機金属法、スパッタリング法、MOCVD法等でも可能である。また膜厚は、実際の駆動電圧に合わせてスケールアップが可能となる。

【0029】図1には、第1実施形態としての非破壊型

10

20

30

40

50

7

強誘電体メモリ装置の回路構成を示し説明する。この構成は概念的であるが、図2に示した構成のメモリ装置が差動アンプ10を中心として、一対対称的に配置されているものであり、強誘電体メモリセルからなるダミーセル11の一端が、選択スイッチ12を介して、消去用パルス入力端子13、書き込み用パルス入力端子14、読出し用パルス入力端子15に接続される。またダミーセル11の他端は、一端が基準電位に接地される放電用スイッチ16及び差動アンプ17の入力端子に接続し、また差動アンプ17には帰還容量素子18が出力がフィードバックされるように接続されている。また、図中、矢印で示す基準電位（接地）は、所定の基準電位であって、零電位である必要はない。

【0030】図3を参照して、図1に示した強誘電体メモリ装置の動作について詳細に説明する。

【0031】図3(a)は、マトリクス状に複数のメモリセル1が配置され、第1のライン19と第2のライン20が接続された単純マトリクスの強誘電体メモリ装置である。

【0032】この強誘電体メモリ装置に図3(b)に示す電圧 V_e を印加することにより、記録されているデータを一括して消去する。

【0033】図3(c)は、同様に、データ書き込みの方法を説明するための図である。データ書き込みは、1/3駆動法を用いて、図3(c)に示すようなXライン群の選択セルの第1のライン19には電圧 V_w を印加し、非選択セルの第1のライン19には電圧1/3 V_w を印加し、且つYライン群の選択セルに0V、非選択セル2/3 V_w の電圧を印加する様に、にデータ書き込み時の破壊劣化を防ぐ。この破壊劣化については、PZT薄膜を用いて前述した駆動法によって、1マットのメモリセルで1Gbitまで集積化しても、データ書き込み時にセルが破壊されない事を確認している。

【0034】図3(e)は同様に、データ読出し法を説明するための図である。ここで、選択ラインの第1のライン19a以外の第1のライン19は、接地されている。また選択データラインの第2のライン20a以外の第2のライン20は、接地されているものとする。

【0035】この時、選択データラインの第2のライン20aは、放電スイッチ6により予め接地され、帰還用の容量8が差動アンプ7に接続される。ここで、差動アンプ7は、差動入力片側が接地されているため仮想接地によって、入力インピーダンスが“0”に保持され、選択データラインの第2のライン20aの電位は昇圧しない。この為、非選択セルからの電荷が注入されることもない。よって、非干渉のデータ読出しができ、且つ、容量8帰還の差動アンプ7の為、出力 V_{out} はメモリセル容量 C_s と帰還容量 C_r の比で決まる。従って、 $V_{out} = -(C_s / C_r) \cdot V_r$

ここで“0”と“1”状態では V_{c0} 、 V_{c1} として

8

$$V_{c1} = -(C_{s1} / C_r) \cdot V_r$$

$$V_{c0} = -(C_{s0} / C_r) \cdot V_r$$

この様子を図3(f)に示す。この図では、解り易い様に、縦軸を $-V$ で描いた。ここで、 $V_{c1} > V_{c0}$ より、情報の読み出しが可能であるが、この差は、20%と小さく、また、この C_{s0} が温度、保持時間等で変化する為、ダミーセルを用いる。

【0036】次に、図4に示すように、第3の差動アンプ10の一方の入力端側に、図2に示した、第1の差動アンプ7及びメモリセル1及び容量8からなる構成と、他方の入力端に第2の差動アンプ17及びダミーセル11及び容量18からなる構成を接続する。

【0037】この構成により、図中A点の電圧は、 $-V$ を縦軸として、 $V_{c0} < V_{ref} < V_{c1}$ の順となるような V_{ref} を選ぶ。つまり、 V_{ref} がこの範囲になるようにダミーセル11を選択する。例えば、容量8と容量18の帰還容量を正確に合わせておけば、ダミーセル11の面積を変えて、 V_{ref} になるように合わせる。たとえば、 V_r を同じとすれば、

【数1】

$$C_{s1} > C_{ref} > C_{s0}$$

から

$$C_{s0} = A f_{s0} \cdot C_{s0}^{\wedge}$$

$$C_{ref} = A f_{ref} \cdot C_{s0}^{\wedge}$$

ここで、 C_{s0} は単位面積あたりの容量である。

$$C_{ref} = C_{s0} + (C_{s1} - C_{s0}) / 2$$

$$A f_{ref} = [C_{s0} + (C_{s1} - C_{s0}) / 2] C_{s0}^{\wedge}$$

【0038】これは、ダミーセルの面積をメモリセルの $(C_{s1} - C_{s0}) / 2 C_{s0}$ 倍大きくする事を意味する。たとえば、 $1 \mu m^2$ のセルであれば、 $(C_{s1} - C_{s0}) / C_{s0}$ が20%の時、 $(C_{s1} - C_{s0}) / 2 C_{s0}$ は10%であり、 $1.1 \mu m^2$ のセルに対応している。

【0039】この場合は、ダミーセルのデータ書き込みは行わない。実際のデバイス作成では、1/5のステップを用いるので、相対的な加工精度は究めて良い。 $1 \mu m$ プロセスで $0.01 \mu m$ とされており、 $1 \mu m^2$ の面積でこの加工精度のばらつきは2%であり、加工寸法のばらつきによるノイズマージンの低下は1/5と予想される。

【0040】つまり、 $1 \mu m^2$ のセルを用いて、16Mbitメモリは、本実施形態を利用すれば、2枚のみのマスク枚数で容易に製造できる。すなわち、MOSやバイポーラ素子を作成した、半導体基板（ウエハ）に白金等の下部電極をストライプ状に加工し、その後、PZT等の強誘電体薄膜を形成する。さらに上部電極を形成して、下部電極とほぼ直行する様に加工し、この上部に層間保護膜を形成して、配線用のスルーホールを形成し、Siウェーハに形成されたデバイスとアルミ配線等を用

いて完成させる。

【0041】このため、従来のDRAMの様に、複雑なセル容量の作成の必要もなく、Flashメモリの様な2層や3層のポリシリコンプロセスの必要性もない。1 μ m \square のセルを1 μ mを加工精度とする製造技術で作成できるメリットを持つ。また追加のプロセスもなく、加工精度を0.5 μ mにすることで、4倍の集積度を高める事が可能である。

【0042】また本実施形態のメモリセルは、MOSトランジスタの様なアクティブ素子を含まないために、形成する基盤が限定されない。つまり、ガラス板の様なシリコン基板以外の上にも、形成可能である。この場合は、周辺回路がTFTデバイスになる。また強誘電体材料の低温プロセスが達成されれば、アルミ配線上に単純マトリックスが作成でき、駆動回路を全面敷き詰められるため、集積度をさらに高めることができる。また回路素子を2重、3重に多層化できる。

【0043】この様にして、多層、積層化された本実施形態のメモリ装置は、1 μ mの加工精度(1ミクロンルール)でも、128Mbitの不揮発性メモリが可能となる。さらに周知な0.5ミクロンルールを用いれば、512Mbitの不揮発性メモリの実現が可能となる。

【0044】本実施形態では、従来のメモリ形成の際に制約された、例えば、スマートメモ리카ードの様な制御回路、マイクロプロセッサ等を素子の内部に組込む事が可能となる。

【0045】図5には、前述したメモリセルを用いて、装置に構成した場合に具体的な例を示す。ここで、複数のメモリセルが単純マトリックス配置されて構成されたメモリセルマット21に、X選択回路22、Y選択回路23、センス回路24、参照用ダミーセル25、データの消去・書込み・読出し用のパルス発生回路25、データの消去・書込み用のパルス発生回路26で構成されている。

【0046】次に、第2実施形態の非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0047】図6には、第2実施形態の強誘電体メモリ装置の構成例を示し、説明する。第2実施形態の基本的構成は、第1実施形態と同じであり、異なる点について説明する。前述した第1実施形態におけるセンスアンプ系は対称構造であったが、メモリセル1とダミーセル11は非対称である。この為、メモリセル1とダミーセル11は、別々に作成する必要性があった。

【0048】例えば、ダミーセル11を含むメモリセルマットを2つ用意し、これらを対称的に配列すれば、切り替えスイッチによって、対称的に構成することができる。しかし、この方式は一般にDRAM等で使用されている、折り返しビットライン方式とは異なっている。この折り返しビットライン方式は、厳密にデータ線の寄生負荷容量を一致させるために用いられる方式である。本

実施形態の方式は、容量帰還によるデータ読出しの為、この必要はない。セルアレイは、Siデバイスとは別に、下部と上部の交差した領域で構成するため、単独でダミーセルを配置するよりも、ダミーセルをセルアレイ内部に配置する方が集積度の点からも、プロセスの点からみてもはるかに有利となる。本実施形態は、構成を簡単にし、記録容量を上げるとともに、必要な選択回路やパルス発生回路を有効利用するものである。

【0049】本実施形態に用いる強誘電体メモリセルは、強誘電体薄膜の上部に上部ストライプ電極を形成し、下部に上部ストライプ電極のストライプ方向にほぼ直交する方向の下部ストライプ電極を形成する。この構成により、その上部、下部ストライプ電極で挟まれた強誘電体薄膜の領域が単純マトリックスに配置され、ダミーセルがセルアレイ内に設けられた強誘電体メモリセルアレイである。

【0050】そして図6に示す様に、帰還容量38を有する差動アンプ37の(+)入力端側に第2のライン(Yライン)を選択するためのY選択スイッチ32を介して、前述した強誘電体メモリセルアレイに接続する。強誘電体メモリセルアレイには、第1のライン(Xライン)を選択するX選択スイッチ39を介して、パルス発生回路40aが接続される。差動アンプ37の(-)入力端側は接地される。そして差動アンプ37の出力端は差動アンプ10の入力端の一端に接続され、その他端には、差動アンプ37側と同様に構成される、差動アンプ47、Y選択スイッチ42、強誘電体メモリセルアレイ、X選択スイッチ49、パルス発生回路40bが接続されている。また、第1の電極ライン33とパルス発生器37の間には、参照用強誘電体容量が接続される。第2の電極ライン43とパルス発生器42bの間に参照用強誘電体容量が接続される。なお、パルス発生器37とパルス発生器42は同一であっても良い。

【0051】このような強誘電体メモリセルを用いてメモリ装置に構成した詳細な具体例は、後述する第5実施形態において説明する。

【0052】次に、第3実施形態の非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0053】図7には、第3実施例として、第1実施形態で説明したデータ書込み読出し可能に構成された強誘電体メモリセルを実際の装置構成に用いた具体例を示す。ここで、本実施形態で用いる強誘電体メモリセル(メモリセルマット)は、単純マトリックス構成された第2実施形態の構成と同等であり、また図3乃至図5に記載される部位と同等の部位には同じ参照符号を付して説明する。

【0054】このメモリセルマット21は、強誘電体容量1と、上部電極ライン19と下部電極ライン20とで構成され、X選択回路22、Y選択回路23、センス回路24、参照用ダミーセル28、消去・書込み・読出し

11

用のパルス発生回路26、27で構成されている。ここで、メモリセルマット内を一括消去するためのスイッチ素子50で構成されている。

【0055】前記Y選択回路23は、データ線を選択して、データ書込みや消去のパルスを与える回路であり、複数のY電極ラインのそれぞれにセンスアンプ24、参照用セル28及びパルス発生器27が接続される。これによって、データラインの分のメモリ情報を読み出す事が可能となり、高速のデータ転送速度が得られる。

【0056】次に図8には本実施形態における他の構成例を示す。ここで、単純マトリックスで構成されたメモリセルマット21、X選択回路22、Y選択回路23、センス回路24、参照用ダミーセル28、消去・書込み・読出し用のパルス発生回路36で構成されている。複数のY電極ラインのそれぞれにセンスアンプ24、参照用セル28とのパルス発生器36が接続されている。

【0057】次に第4実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0058】図9(a)には、前述した第1実施形態で説明したデータ書込み読出し可能に構成された強誘電体メモリセルを実際の装置構成に用いた具体例を示す。ここで、本実施形態の部位で図7、図8に示した部位と同等の部位には同じ参照符号を付して、その説明を省略する。ここで、本実施形態で用いる強誘電体メモリセル(メモリセルマット)は、単純マトリックス構成された第2実施形態の構成と同等であり、強誘電体容量1と、上部電極ライン19と下部電極ライン20とで構成され、X選択回路22、Y選択回路23、センス回路24、参照用ダミーセル28、データ消去・書込み・読出し用のパルス発生回路26、27で構成されている。

【0059】さらに、メモリセルマット21内のデータを一括消去するための一括SW素子50a、50bが、メモリセルマット21とX選択回路22、Y選択回路23との間にそれぞれ設けられている。

【0060】本実施形態は、図9(b)に示すように、まとまった複数単位の下部電極ライン(第2の電極ライン)20に接続された一括SW素子50b(図示せず)と参照ダミーセル28との間にY選択SW23を設け、さらに参照用パルス発生器27を設けている。これによって、複数の電極ラインに対して、1つのセンス系で構成でき、パターン設計がきわめて容易となる。例えば、1マットが64KBのバイト構成の場合は、Xラインを512本とすると、128本に1つのセンスアンプで構成可能となる。

【0061】次に第5実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。第5実施形態の基本的構成は前述した第2実施形態と同じであり、図10(a)は基本構成を示し、第1実施形態の図4に示した構成と同等の構成であり、図10(b)は、図6に示した構成をベースとした変形例である。本

12

実施形態においては、第1実施形態ではメモリセル1とダミーセル17を別々に作成しているため、第2実施形態の場合と同様に、ダミーセル17を含むメモリセルマットを2つ用意し、これらを対称的に配列する。勿論、DRAM等で使用される折り返しビットライン方式とは異なり、本実施形態では、容量帰還による読み出しの為、データ線の寄生負荷容量を一致させる必要は無い。単に構成を簡単にし、記録容量を上げるとともに、必要な選択回路や、パルス発生回路を有効利用するものである。

【0062】図10(b)に示す様に、差動アンプ7の入力側には複数の強誘電体薄膜容量1aが接続される。これらの強誘電体薄膜容量1aは、互いに直交する第1電極(X電極ライン19)と第2電極(Y電極ライン20)で挟み、単純マトリックス構造される。Y電極ライン20は、複数のメモリセル1と1個のダミーセル11aを差動アンプ7の入力側に接続される。一方、差動アンプ17の入力側には複数のメモリセル1bと1個のダミーセル11bに接続される。

【0063】ここで、実効的な付加容量51、52は、同じ容量でも良いし異なっても良い。実際の構成では、センス回路24を含むセンス系に、上部電極19と上部電極53が対称的に接続される。ここで上部電極19と上部電極53の間のSWや差動アンプ17はなくても良い。上部電極53は、対をなす電極ライン13とほぼ直行する様に単純マトリックスを構成する。ダミーセル11a、11bも電極ライン18や電極ライン53とほぼ直行する様に単純マトリックスを構成する。このようなメモリ装置の動作について、図10(d)、(e)を参照して説明する。センス系の右側のセル1bの検出時は、ダミーセル11bが使用され、センス系の右側のセル1bの検出時はダミーセル11bを使用するように電極ライン1と電極ライン13およびダミーセル11a、11bの電極に接続されるパルス発生回路を制御する。

【0064】前記差動アンプ7に接続される電極ライン19と差動アンプ17に接続される電極ライン52に接続されたダミー強誘電体容量11a、11bの数が同じであっても良いこの場合は実効的な付加容量51、52が同じとなり、センスアンプの負荷が同じとなるので、差動アンプに現われる信号のタイミングが同一となり、都合が良い。

【0065】次に第6実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。本実施形態のメモリ装置の基本的な構成は、前述した第5実施形態と同じであり、その変形例である。

【0066】図11には第6実施形態の強誘電体メモリ装置の構成を示す。この強誘電体メモリ装置においては、センス回路63を挟んで、Y選択回路62a、62b、さらにメモリセルマット60a、60bが設けられ

13

る。前記メモリセルマツト60a, 60bには、X選択回路61a, 61bが設けられ、X, Y選択回路には、パルス発生回路65がそれぞれ接続されている。従って、センス回路63を挟んで対称的にメモリセルマツト60a, 60bが配置されている。このような構成において、Y選択信号ラインは、1本にセンス回路をそれぞれ接続しても良いし、いくつかのまとまった電極をY選択でまとめても良い。パルス発生回路65は少なくとも1つ必要である。

【0067】次に第7実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0068】図12には、第7実施形態をメモリ装置の構成を示す。このメモリ装置は、センス回路63a~63nを挟んで、Y選択回路62a1, 62b1~62an, 62bn、さらに、それぞれメモリセルマツト60a1, 60b1~60an, 60bnが設けられる。前記メモリセルマツト60a1~60an, 60b1~60bnには、それぞれX選択回路61a, 61bが設けられ、X, Y選択回路には、パルス発生回路65が接続されている。

【0069】本実施形態は、回路的には第5実施形態の装置を積層させた構成となっている。この構成においては、センス回路63a~63nを挟んで、Y選択回路62a1, 62b1~62an, 62bn 32とメモリセルマツト60a1, 60b1~60an, 60bnがほぼ対称に構成された構成単位を複数もつ。

【0070】図13に示す構成は、第7実施形態の変形例であり、電極ライン19a, 19bはY方向の構成単位で共有化しており、またダミーセル11a1~11an, 11b1~11bnもY方向の構成単位で共有化している。

【0071】次に図14を参照して、第8実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置のデータの書込みと読出しの方式は、図3(a)から(c)と同一である。

【0072】互いに直交する一対の上部、下部電極により挟持された強誘電体薄膜容量を記憶セルとする単純マトリックスに構成される強誘電体メモリにおいて、強誘電体薄膜内の自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧Vcよりも大きい電圧Veを有する第1のパルス(消去用パルス)を印加して分極し、次に、前記印加電圧Veとは、逆極性のVeより小さい絶対値を持つ電圧Vwを有する第2のパルス(書込み用パルス)を印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう方式である。

【0073】本実施形態は、図14に示す様に、チップ全体のメモリセルマツトは1つ以上のセクター66と呼ばれるひと塊の記録単位で構成されており、このセク

14

ー66には、少なくとも1つ以上の参照用メモリセル(ダミーセル)28が設けられる。このメモリセル内のデータは、一括して消去される。

【0074】また図14において、メモリセルおよび、ダミーセルへのデータ書込みはセクタ単位で一括して行ってもよい。セクター66内のデータ読出しは、ランダムアクセスを可能とする。また、1チップ内に複数のセクター66とセクター制御回路67を有した不揮発性メモリチップであっても良い。

【0075】また図15に示す様に、各セクター40にはメモリセルマツト21と、X選択回路21と、Y選択回路23と、センス回路24と、少なくとも1つのダミーセル28と、制御回路26とで構成してもよい。

【0076】さらに図16に示す様に、メモリセルマツトを含む複数のチップとバスライン68とI/O回路69と制御回路70と外部との出入力するための出力端子71を有した、脱着可能なメモリ装置、例えばメモリカードに用いることができる。次に図17を参照して、第9実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0077】このメモリ装置は、データの書込みと読出しを行う方式は、図3(a)から(c)と同一であり、この構成は第8実施形態と同じである。

【0078】図17において、複数のセクター66を含む、ブロック72で構成されており、1チップが複数のブロック72で構成される。

【0079】またブロック72はブロック単位で一括消去回路73により一括消去され、各セクター66単位でデータ書込みを行い、データ読出しは、ランダムアクセスされて行われてもよい。またブロック72はブロック単位で一括消去回路73により一括消去され、各セクター66単位で書込みを行い、読出しは同様に一括読み出しされてもよい。

【0080】次に図18を参照して、第10実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0081】このメモリ装置は、データの書込みと読出しの方式は、第1実施形態と同等であり、その構成は第8実施形態をベースとしている。

【0082】このメモリ装置は、複数のX選択回路22とセンス回路の機能を含むY選択回路75と、ダミーセル28を含むメモリセルからなるメモリセルエリア74と、パルス発生回路65とで構成される。1チップまたはブロック単位で各セクターは、X選択回路22は共通で、Y選択回路75は独立している。また、複数のチップとバスライン68とI/O回路65と制御回路70と出力端子71を有した、脱着可能なメモリ装置、例えばメモリカードに用いることができる。

【0083】次に図19を参照して、第11実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法

について説明する。このメモリ装置は、データの書込みと読出しを行う方式は、図3(a)から(c)と同等である。

【0084】本実施形態は、1チップ80上にメモリ部81とメモリマネジメント機能82とI/O回路83を搭載した脱着可能なメモリ装置、例えばメモリカードに用いるものである。

【0085】前記メモリマネジメント機能82は、メモリ部81内の記憶領域をブロックまたはセクター単位でデータの消去、書込み、読出しを制御し、各セクター単位でジレクトリー（番地情報）やキーワード情報を有してもよい。

【0086】次に図20を参照して、第12実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置は、前述した第8実施形態をベースとした変形例であり、データの書込みと読出しを行う方式は、図3(a)から(c)と同等である。

【0087】互いに直交する一対の上部、下部電極により挟持された強誘電体薄膜容量を記憶セルとする単純マトリックスに構成される強誘電体メモリにおいて、強誘電体薄膜内の自発分極（分極）の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルス（消去用パルス）を印加して分極し、次に、前記印加電圧 V_e とは、逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のパルス（書込み用パルス）を印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう方式である。

【0088】本実施形態の構成は、1チップまたは複数のチップからなり、メモリ部81、アンテナ85、同調回路86、検波回路87、復調回路88、発振回路91、変調回路90、制御回路89で生成及び発振された電波でデータ信号をやり取りする、脱着可能なメモリ装置、たとえばメモリカードに用いるものである。また、電波から駆動するための電圧を取り出す電圧発生回路92を備えた脱着可能なメモリ装置であってもよい。またアンテナ85以外の部位を1チップ上に形成させた脱着可能なメモリ装置、たとえばメモリカードであってもよい。

【0089】また集積化アンテナを含む1チップ化した電波で信号をやり取りする、脱着可能なメモリ装置、たとえばメモリカードであってもよい。

【0090】また本実施形態では、電波はマイクロ波からミリ波を使用しているがこれに限定はされない。

【0091】本実施形態は、強誘電体薄膜を記憶媒体とするメモリ装置であり、低駆動電圧、高速消去、高速書き込み、高速読み出し、高集積に加えて、非破壊と言う他に類を見ない特徴をもっている。すなわち、外部記録

装置が個体化され、駆動部がなくなって、高信頼化し、かつ高速、低電力化がはかられたことである。これで初めて、電波による電池を持たない、大容量データキャリアが実現可能となる。たとえば、カードの容量は4Mバイトから256Mバイトに及ぶ。これらは、あらゆるニーズを満足可能である。

【0092】次に図21(a), (b)を参照して、第13実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第12実施形態をベースとしたものであり、データの書込みと読出しを行う方式は、図3(a)から(c)と同等である。

【0093】本実施形態は、第12実施形態に示したメモリカードを用いて、送受信の機能となる信号変復調回路を含むRFアンテナやマイクロ波アンテナを通常のコンピュータ、小型コンピュータに備え付けて、個人特有のデータを電波でやり取り可能なものである。また、電波で情報の通信可能なメモリカード98より個人参照番号を読み取り、自動的に環境設定することができることもよい。

【0094】図21(b)のフローチャートを参照して、動作について説明する。

【0095】まず、送受信の機能が備え付けられたコンピュータの前に着座する（ステップS1）。コンピュータ側でメモリカード98から発振されるID番号を読み取り（ステップS2）、ID番号に基づき、コンピュータが予め設定した環境に設定される（ステップS3）。さらにメモリカード98より個人に関する情報を読み取り（ステップS4）、実際の作業に取り掛かる（ステップS5）。その作業終了の後に、新たな個人情報メモリカード98に書込み（ステップS6）、一連の工程を終了する。また再度、作業を行う場合に、コンピュータの前に着座するのみで、前述した処理が行われ、同様に作業に取り掛かることができる。

【0096】本実施形態は、強誘電体薄膜を記録媒体に用いて、低電圧、高速消去、高速書き込み、高速読み出し、高集積に加えて、非破壊読出しという特徴をもっている。すなわち、外部記録装置が個体化され、駆動部を不要として、高信頼化し、且つ高速処理、低消費・低駆動電力化が実現される。よって、電波を電源に変換して駆動することにより、電池を持たない、大容量データキャリアが実現可能となる。例えば、メモリカードの容量は4Mバイトから256Mバイトに及ぶ。これらは、コンピュータの個人ワイヤレスカードのニーズを満足することが可能である。

【0097】次に図22を参照して、第14実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第12実施形態に記載したメモリカードを用いたものであり、データの書込みと読出しを行う方式は、図3(a)から

(c)と同等である。

【0098】本実施形態は、自動車に搭載した、ドアロック101、車載用コンピュータ102、ナビゲーションシステム103等に信号変復調回路を含むRFアンテナやマイクロ波アンテナ85を有し、個人特有のデータを電波でやり取り可能なメモリカード98である。

【0099】このシステムは、前述したようなメモリカード98を携帯する運転者が自動車に近付くと、自動車側で起動し、ドアロック101の解除、ナビゲーションシステム103等の起動を行い、従来運転者が行っていた作業を、個人のレベルで好適する状況設定を行うものである。

【0100】本実施形態によれば、低電圧、高速消去、高速書き込み、高速読み出し、高集積に加えて、非破壊読み出しという特徴をもっている。すなわち、外部記録装置が個体化され、駆動部を不要として、高信頼化し、且つ高速、低消費電力、低駆動電力化が実現されることである。よって、電波による電池を持たない、大容量データキャリアが実現可能となる。例えば、メモリカードの容量は4Mバイトから256Mバイトに及ぶ。これらは、自動車用の個人ワイヤレスファイルのニーズを満足可能である。

【0101】次に図23を参照して、第15実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第12実施形態に記載したメモリカードを用いたものであり、データの書き込みと読み出しを行う方式は、図3(a)から(c)と同等である。

【0102】本実施例は、部屋のドアに搭載した、自動ロック機構104、ID認識装置105、位置認識装置106等に信号変復調回路を含むRFアンテナやマイクロ波アンテナ58を有し、個人特有のデータを電波でやり取り可能なメモリカード98である。

【0103】本実施形態によれば、予め設定した特定の者のみが入室できるシステムが構築され、前述した第14実施例と同等の効果が得られる。

【0104】次に図24を参照して、第16実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第12実施形態に記載したメモリカードを用いたものであり、データの書き込みと読み出しを行う方式は、図3(a)から(c)と同等である。

【0105】自動テラ装置(自動預金、引き出し装置)107に搭載した、信号変復調回路を含むRFアンテナやマイクロ波アンテナ108を有し、個人特有のデータを電波でやり取り可能なメモリカード98である。

【0106】本方式は強誘電体を用いて、低電圧、高速消去、高速書き込み、高速読み出し、高集積に加えて、非破壊と言う他に類を見ない特徴をもっている。すなわち、外部記録装置が個体化され、駆動部がなくなって、

高信頼化し、かつ高速、低電力化がはかられたことである。これで初めて、電波による電池を持たない、大容量データキャリアが実現可能となる。たとえば、カードの容量は4Mバイトから256Mバイトに及ぶ。これらは、アカウントの個人ワイヤレスファイルのニーズを満足可能である。

【0107】次に図25を参照して、第17実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第12実施形態に記載したメモリカードを用いたものであり、データの書き込みと読み出しを行う方式は、図3(a)から(c)と同等である。

【0108】図25に示すメモリ装置は、家庭用テレビ、ゲーム装置、家庭データ端末109に搭載した、信号変復調回路を含むRFアンテナやマイクロ波アンテナ110を備え付け、個人特有のデータを電波でやり取り可能なメモリカード98である。このメモリカード98に、その所有者の健康状況やアカウント情報やビジネス情報やFAX情報など、種々の情報を提供することができる。よって、本実施形態によれば、前述した第15実施例と同等の効果をj得ることができる。

【0109】次に図26を参照して、第18実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第12実施形態をベースとしたものであり、データの書き込みと読み出しを行う方式は、図3(a)から(c)と同等である。

【0110】1チップまたは複数のチップからなる、マトリックス状に強誘電体薄膜を記録媒体とするメモリセルが配置されるメモリ部81と、制御回路89と、高速光変調素子および高速回路ホトダイオード112、光発電電池111で構成される、脱着可能なメモリ装置、たとえばメモリカード98である。

【0111】前述した実施形態においては、電波により通信を行っていたが、本実施形態のメモリカード98は、光によりデータの書き込み、読み出しを行うものであり、前述した第15実施例と同じ効果が得られる。

【0112】次に図27を参照して、第19実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置は、データの書き込みと読み出しを行う方式は、図3(a)から(c)と同等である。

【0113】互いに直交する一対の上部、下部電極により挟持された強誘電体薄膜容量を記憶セルとする単純マトリックスに構成される強誘電体メモリにおいて、強誘電体薄膜内の自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルス(消去用パルス)を印加して分極し、次に、前記印加電圧 V_e とは、逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2の

19

パルス（書込み用パルス）を印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう方式である。

【0114】図27は、上面から見たメモリセルマット21と周辺回路115の位置関係を示す。また図28(a)乃至(c)は、このメモリセルマット21を形成するためのプロセスを示す図である。

【0115】強誘電体薄膜を、ストライプ電極として形成される上部電極ライン19と、これとほぼ直交するストライプ電極として形成される下部電極ライン20とで挟み、挟まれた交点の領域にメモリセル1が形成される。これらのメモリセル1は、単純マトリックスに配置される。

【0116】この単純マトリックスメモリセルマット21が、シリコン酸化膜121を含む領域の上部に形成され、周辺回路115は、このメモリマトリックスマット21以外の領域に形成される。

【0117】予め形成したバイポーラトランジスタやMOSトランジスタ124を含む半導体基板をPSGやBPSG等のパッシベーション膜122まで成膜し、デバイスの拡散層と接続するコンタクトホール形成前に、酸化膜121を含む、例えば、PSGやBPSG等のパッシベーション膜122の上層に下部電極ライン20、強誘電体薄膜125、上部電極ライン19の順に積層形成する。

【0118】ここで、上、下電極ラインは、通常、蒸着装置、スパッタリング装置、マグネトロンスパッタ装置等を用いて成膜し、エッチング加工は、通常のホトリソグラフィとドライエッチング装置、イオンエッチング装置、反応性イオンエッチング装置、イオンミリング装置等を用いて行う。また、強誘電体はゾルゲル法や有機金属分解法等のスピン塗布法、スパッタリングやMOCVD等で行い、使用材料は、上下電極として白金族元素、導電性酸化物、接着層を含む組合わせ等が好適する。勿論、これらに限定されるものでなく、同等に使用できる材料であれば良い。また強誘電体は、PZT、PLZT、Bi層状化合物等が好適する。最上層に保護膜126を行う。

【0119】この後、半導体デバイス124と上下部電極ライン19、20双方に、同時にまたは別々に、viaホールの形成を行い、アルニウムミ、または耐熱バリア層付アルミニウム等の配線を行う。この後、再度、保護膜を成膜する。

【0120】また、本実施形態において、周辺回路はこのメモリマトリックスマットの周辺の領域に形成しても良いし、チップ内の機能に応じて分散してもよい。

【0121】次に図29を参照して、第20実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第12実

20

施形態をベースとして、データの書込みと読出しを行う方式は、図3(a)から(c)と同等である。

【0122】図29(a)は、メモリセルマット21と周辺回路115の位置関係を示す。また図29(b)、(c)は製造工程における断面構造を示す。ここで周辺回路115を敷き詰めた回路上層に、強誘電体薄膜を記録媒体に用いた単純マトリックスのメモリセルマット21が形成されるものである。

【0123】図29(b)に示すように、予め形成したアクティブデバイスとなるバイポーラトランジスタやMOSトランジスタ124を含む半導体基板上にPSGやBPSG等のパッシベーション膜122まで成膜し、デバイスの拡散層と接続するコンタクトホールを形成した後に、1層または複数の配線を行う。これらのデバイスと回路の形成後に、適当な層間膜128を形成し、viaホールを予め形成し、その上に下部電極ライン20、強誘電体薄膜125、上部電極ライン19の順に形成する。形成方法および材料は、前述した第19実施形態と同等でよい。

【0124】また周辺回路や制御回路を含む中央処理装置やデジタル信号処理装置が半導体基板上のアクティブデバイスに形成されても良い。

【0125】本実施形態によれば、メモリセルにトランジスタを持っていない為、半導体チップを有効に使用できる。例えば、32ビットの中央処理回路をアクティブ素子に形成し、またメモリを積層して、1チップマイコンが形成可能となる。また中央処理回路含むデジタル信号処理装置をアクティブ素子として形成し、またメモリを積層して、1チップの記録装置付完全音声、画像処理機能を形成可能となる。次に図30を参照して、第21実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0126】本実施形態において、メモリセル内にトランジスタを持っていない為、単純マトリックスで構成される、強誘電体のメモリセルマットは1層のみならず、複数積層化可能となる。少なくとも2つの複数の上部電極ライン20と下部電極ライン19の対が積層できる。

【0127】本実施形態によれば、メモリセル内にトランジスタを含まない為、半導体チップを有効に使用できる。例えば、32ビットの中央処理回路をアクティブ素子として形成し、またメモリセルを積層して、1チップマイコンが形成可能となる。また中央処理回路含むデジタル信号処理装置をアクティブ素子として形成し、またメモリセルを積層して、1チップの記録装置付完全音声、画像処理機能が形成可能となる。

【0128】また本実施形態によれば、緩い加工ルールで極めて膨大なメモリが集積化可能となる。ここで、1ミクロンの加工ルールですら、この実施形態では、4層積層によって、512Mbitから2Gbitの不揮発性メモリが可能となり、これらは、マルチメディアに好

10

20

30

40

50

適する。

【0129】以上の実施形態に基づいて説明したが、本明細書には、以下のような発明も含まれる。

【0130】(1) 互いに直交する第1、第2の電極により挟持された強誘電体薄膜容量を記憶セルとする強誘電体メモリにおいて、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルス印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう方式において、 V_e より絶対値で同じかまたは小さい、正または負の読み出しパルス V_r を用いて、非破壊的にメモリ情報を読み出し、前記強誘電体薄膜容量とは別に設けられた比較ダミー強誘電体薄膜容量と、前記強誘電体薄膜容量に接続された容量で帰還をかけられた第1の差動型アンプと、前記比較ダミー強誘電体薄膜容量に接続された容量で帰還をかけられた第2の差動型アンプと、これらの差動型アンプとの出力を入力する第3の差動型アンプで構成された強誘電体メモリ装置。

【0131】(2) 前記強誘電体メモリ装置において、前記強誘電体薄膜容量素子を複数有し、該強誘電体薄膜容量素子には選択用スイッチを通して、第1の消去用パルス、第1の書き込み用パルス、第1の読み出し用パルスを生成する第1のパルス発生器に接続され、比較ダミー強誘電体薄膜容量に選択用スイッチを通して、第2の消去用パルス、第2の読み出し用パルスを生成する第2のパルス発生器に接続されることを特徴とする前記(1)記載の強誘電体メモリ装置。

【0132】(2) 前記強誘電体メモリ装置において、前記強誘電体薄膜容量素子を複数有し、該強誘電体薄膜容量素子には選択用スイッチを通して、第1の消去用パルス、第1の書き込み用パルス、第1の読み出し用パルスを生成する第1のパルス発生器に接続され、比較ダミー強誘電体薄膜容量に選択用スイッチを通して、第2の消去用パルス、第2の書き込み用パルス、第2の読み出し用パルスを生成する第2のパルス発生器に接続されることを特徴とする前記(1)記載の強誘電体メモリ装置。

【0133】(3) 前記強誘電体メモリ装置において、前記ダミーセルの面積は、第1の方向と部分分極状態の容量差と該第1の方向の容量の比の約 $1/2$ 、メモリセルの面積より大きいことを特徴とする前記(1)記載の強誘電体メモリ装置。

【0134】(4) 前記強誘電体メモリ装置において、ダミーセルの面積は第1の方向と部分分極状態の容量差と第1の方向の容量の比の $8/10$ から $2/10$ の範囲でメモリセル面積より大きいことを特徴とする前記(1)記載の強誘電体メモリ装置。

【0135】(5) 前記強誘電体メモリ装置において、前記強誘電体薄膜容量と第1の差動型アンプの間に第1の切り換えスイッチと、比較ダミー強誘電体薄膜容量と第2の差動型アンプの間に第2の切り換えスイッチが設けることを特徴とする前記(1)項及び(2)項のいずれか1項に記載の強誘電体メモリ装置。

【0136】(6) 前記強誘電体メモリ装置において、前記第1の差動型アンプの一方の入力端子及び前記第1の切り換えスイッチの一方の端子が、0バイアスまたは同一電位であり、前記第2の差動型アンプの一方の入力端子及び第2の切り換えスイッチの一方の端子が、0バイアスまたは同一電位に設定されることを特徴とする前記(1)項乃至(3)項のいずれか1項に記載の強誘電体メモリ装置。

【0137】従って、前記(1)乃至(6)項によれば、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルス13を印加して分極し、次に、前記印加電圧 V_e とは逆極性の電圧 V_w を有する第2のパルス14を印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインが混合した部分分極状態にて情報の記憶を行なう。この状態は容量の差として現われるが、読み出し電圧で読み出す場合は容量比 $\Delta C/C$ が小さい為、増幅する必要がある。このとき C が温度依存性やデータ保持時間依存性等を考えると強誘電体容量を用いた参照セルによる比較読み出しが必要である。ここで、小さな $\Delta C/C$ をデータ線の電圧変化として読み出せる容量付加帰還回路と参照セルとの比較読み出しを組み合わせたセンス回路で、この非破壊の大容量メモリが可能となる。よって、小さな $\Delta C/C$ をデータ線の電圧変化として読み出せる容量付加帰還回路と参照セルとの比較読み出しを組み合わせたセンス回路で、書き込み時の非干渉性および、読み出し時の非干渉性、非破壊読み出しを実現可能で且つ大規模化及び大容量化に好適する非破壊型強誘電体メモリが実現可能となる。

【0138】(7) 前記強誘電体メモリ装置において、前記第1の差動型アンプに接続される強誘電体薄膜容量は、複数であることを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0139】(8) 前記強誘電体メモリ装置において、前記第1の差動型アンプに接続される強誘電体薄膜容量は、ストライプ状の上部電極と、それにほぼ直交するストライプ状の下部電極が交差し、且つ上部電極と株電極が交差し、これらに挟まれた領域である単純マトリックス構造であることを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0140】(9) 前記強誘電体メモリ装置において、前記第1の電極に接続するライン選択回路と、前記ライン選択回路を通して接続されるパルス発生器とを特

徴とする前記(8)項に記載の強誘電体メモリ装置。

【0141】(10) 前記強誘電体メモリ装置において、前記第2の電極と前記第1の差動アンプの間に接続されるライン選択回路を有することを特徴とする前記(7)項及び(8)項のいずれか1項に記載の強誘電体メモリ装置。

【0142】(11) 前記強誘電体メモリ装置において、前記第2の差動型アンプに接続される第2の強誘電体薄膜容量は複数であることを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0143】(12) 前記強誘電体メモリ装置において、前記第2の強誘電体薄膜容量の電極と前記第2の差動アンプとの間に接続されるライン選択回路を有することを特徴とする前記(1)項、(7)項乃至(11)項のいずれか1項に記載の強誘電体メモリ装置。

【0144】(13) 前記強誘電体メモリ装置において、前記第2の強誘電体容量の電極と前記第2のパルス発生する第2のパルス発生器の間に接続されるライン選択回路を有することを特徴とする前記(1)項、

(7)項乃至(11)項のいずれか1項に記載の強誘電体メモリ装置。

【0145】(14) 前記強誘電体メモリ装置において、前記第1の電極ラインと前記第1のパルス発生器の間に参照用強誘電体容量が接続されたことを特徴とする前記(1)項、(7)項乃至(13)項のいずれか1項に記載の強誘電体メモリ装置。

【0146】(15) 前記強誘電体メモリ装置において、前記第2の電極ラインと前記第1のパルス発生器の間に参照用強誘電体容量が接続されたことを特徴とする前記(1)項、(7)項乃至(14)項のいずれか1項に記載の強誘電体メモリ装置。

【0147】(16) 前記強誘電体メモリ装置において、前記第1のパルス発生器と前記第2のパルス発生器が同等であることを特徴とする前記(1)項、(7)項乃至(15)項のいずれか1項に記載の強誘電体メモリ装置。

【0148】従って、前記(7)項乃至(16)項によれば、単純マトリックスのなかにダミー参照用のセルを作りこみ、これを同一のパルス駆動回路で駆動する。

【0149】よって、容易に製造及びパターン設計でき、安定して駆動する。

【0150】(17) 前記強誘電体メモリ装置において、さらに、メモリセルマトと、第1の電極ラインに接続された一括スイッチと、第1の選択回路と、第1のパルス発生器と、センスアンプと第2の電極ラインに接続された別の一括スイッチと、前記第1のパルス発生器と同等の第2のパルス発生器と参照セルと、参照用パルス発生器とを具備することを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0151】(18) 前記強誘電体メモリ装置におい

て、複数の前記2の電極ラインのそれぞれにセンスアンプ及び参照用セルとパルス発生器が接続されたことを特徴とする前記(17)項に記載の強誘電体メモリ装置。

【0152】従って、前記(17)項及び(18)項によれば、各データ線の出力がセンス回路に接続され、各データ線単位の参照用ダミーセルが配列された為、データ線単位で信号をよみとる。

【0153】よって、大量のデータを一度読み出すことが可能となる。

10 【0154】(19) 前記強誘電体メモリ装置において、前記第2の電極ラインに接続された別の一括スイッチと参照セルとの間に選択スイッチと参照用パルス発生器を持つことを特徴とする前記(17)項に記載の強誘電体メモリ装置。

【0155】(20) 前記強誘電体メモリ装置において、さらに、複数単位に第2の電極ラインに選択回路通して、それぞれにセンスアンプ、参照用セルとのパルス発生器が接続されたことを特徴とする前記(17)項に記載の強誘電体メモリ装置。

20 【0156】従って、前記(19)項及び(20)項によれば、任意数の単位のデータ線に選択回路を設け、その出力がセンス回路に接続され、任意数の単位のデータ線の参照用ダミーセルが配列された為、データ線を選択して信号をよみとる。

【0157】よって、バイト単位等の大量のデータを一度読み出すことが可能となる。またセンス回路のパターン設計が可能となる。

【0158】(21) 前記強誘電体メモリ装置において、さらに、前記第1の差動アンプに接続される第1の電極ラインと、第2差動アンプに接続される第2の電極ラインに複数のメモリセル強誘電体容量と、少なくとも1つ以上のダミー強誘電体容量が接続されたことを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0159】(22) 前記強誘電体メモリ装置において、前記第1の差動アンプに接続される第1の電極ラインと、前記第2差動アンプに接続される第2の電極ラインにそれぞれ接続されたメモリセル強誘電体容量の数が同じであることを特徴とする前記(21)項に記載の強誘電体メモリ装置。

40 (23) 前記強誘電体メモリ装置において、前記第1の差動アンプに接続される第1の電極ラインと、前記第2差動アンプに接続される第2の電極ラインのそれぞれに接続されたダミー強誘電体容量の数が同じであることを特徴とする前記(21)項に記載の強誘電体メモリ装置。

【0160】(24) 前記強誘電体メモリ装置において、前記第1の差動アンプと接続される第1の電極ラインに接続されたメモリセル強誘電体容量の情報の読み出し時に、前記第2差動アンプに接続される第2の電極ラインに接続されたダミー強誘電体容量を用いて比較読み

25

出しを行い、前記第2の差動アンプに接続される第2の電極ラインに接続されたメモリセル強誘電体容量の読み出し時に、前記第1差動アンプに接続される第1の電極ラインに接続されたダミー強誘電体容量を用いて比較読み出しを行うことを特徴とする前記(21)項に記載の強誘電体メモリ装置。

【0161】(25) 前記強誘電体メモリ装置において、前記第1の差動アンプに接続される第1の電極ラインと第3の電極ラインは、ほぼ直行して単純マトリックスを形成し、前記第2差動アンプに接続される第2の電極ラインと第4の電極ラインは、ほぼ直行して単純マトリックスを形成していることを特徴とする前記(21)項に記載の強誘電体メモリ装置。

【0162】(26) 前記強誘電体メモリ装置において、前記ダミー強誘電体容量は、第1の電極ラインとはほぼ直行した第3の電極との交点として与えられ、前記ダミー強誘電体容量は、第2の電極ラインとはほぼ直行した他の電極との交点として与えられることを特徴とする前記(21)項に記載の強誘電体メモリ装置。

【0163】従って、前記(21)項及び(26)項によれば、2つの単純マトリックスのなかにメモリセルと参照メモリセルを作成し、比較することにより、1つのセンス回路で2倍のセルを読み出せる。

【0164】よって、データ線容量が同じであるため、容易にセンスアンプの設計ができ、かつ、センスアンプ面積が有効利用できる。

【0165】(27) 前記強誘電体メモリ装置において、さらに、複数のX選択回路と、Y選択回路と、メモリセルマットとパルス発生回路とセンスアンプとで構成され、センスアンプをはさんで、Y選択回路とメモリセルマットがほぼ称に構成されたことを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0166】従って、前記(27)項によれば、メモリセルをセンスアンプを介して対称に置くことにより、有効な面積に効率良くメモリマットを配置可能となる。

【0167】よって、ビット密度を大きく取ることが可能となる。

【0168】(28) 前記強誘電体メモリ装置において、前記センスアンプをはさんで、Y選択回路とメモリセルマットがほぼ称に構成された構成単位を複数もつことを特徴とする前記(27)項に記載の強誘電体メモリ装置。

【0169】(29) 前記強誘電体メモリ装置において、第1のメモリセルと、第1のダミーセルおよび第2のメモリセルと第2のダミーセルが、互いにほぼ直行する上下電極にはさまれた単純マトリックスで構成されたことを特徴とする前記(28)項に記載の強誘電体メモリ装置。

【0170】従って、前記(28)項及び(29)項によれば、メモリセルをX選択回路を共有化し、かつ、Y選

26

択回路やセンスアンプを分割し、機能を分散可能となる。参照用セルを同時に作成可能である。

【0171】よって、ビット密度を上げ、高機能化をはかることが可能となる。

【0172】(30) 一对の電極により挟持された強誘電体薄膜容量を記憶セルとする強誘電体メモリ装置において、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルスを印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう方式において前記強誘電体メモリセルおよび、参照用メモリセルがほぼ直行する一对の電極による、単純マトリックスで構成されており、チップ全体のメモリセルマットは、1つ以上のセクターと呼ばれるひと塊の記録単位で構成されており、このセクターに少なくとも一つ以上の参照用メモリセルが配置され、このメモリセル内は一括して消去がなされることを特徴とした強誘電体メモリ装置。

【0173】(31) 前記強誘電体メモリ装置において、前記強誘電体メモリセル及び、参照用メモリセルの書き込みがセクタ単位で一括しておこなわれることを特徴とする前記(30)項に記載の強誘電体メモリ装置。

【0174】(32) 前記強誘電体メモリ装置において、前記セクター内の読み出しは、ランダムアクセスであることを特徴とする前記(30)項に記載の強誘電体メモリ装置。

【0175】(33) 前記強誘電体メモリ装置において、さらに、1チップ内に複数のセクターとセクター制御回路を有した不揮発性メモリチップであることを特徴とする前記(30)項に記載の強誘電体メモリ装置。

【0176】(34) 前記強誘電体メモリ装置において、各セクターにはメモリセルマット、X選択センス回路、Y選択センス回路、少なくとも1つのダミーセル、及び制御回路を有することを特徴とする前記(31)項に記載の強誘電体メモリ装置。

【0177】(35) 前記強誘電体メモリ装置において、複数のチップとバスラインとI/O回路と制御回路と出力端子とを有し、脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする前記(33)項、(34)項のいずれか1項に記載の強誘電体メモリ装置。

【0178】従って、前記(30)項乃至(35)項によれば、メモリの最小単位をセクター化してそのなかで、消去、書き込みの単位とする。

【0179】よって、非干渉の書き込み、書き込み時の非破壊性を保証する。

【0180】(36) 前記強誘電体メモリ装置におい

て、複数のセクターを含む、ブロックで構成されており、1チップが複数のブロックで構成されたことを特徴とする前記(30)項に記載の強誘電体メモリ装置。

(37) 前記強誘電体メモリ装置において、前記ブロック単位で情報が一括消去され、各セクター単位で情報の書き込みを行い、情報の読出しはランダムアクセスされることを特徴とする前記(36)項に記載の強誘電体メモリ装置。

【0181】(38) 前記強誘電体メモリ装置において、前記ブロック単位で情報が一括消去され、各セクター単位で情報の書き込みを行い、情報の読出しは一括読み出しされることを特徴とする前記(36)項に記載の強誘電体メモリ装置。

【0182】従って、前記(36)項乃至(38)項によれば、消去の最小単位をブロック化し、メモリの、書き込みの最小単位をセクター化して情報を読み出す。

【0183】よって、非干渉の書き込み、書き込み時の非破壊性を保証する。

【0184】(39) 前記強誘電体メモリ装置において、複数の、X選択回路と、Y選択回路と、メモリセルマットと、パルス発生回路と、センスアンプとで構成され、前記センスアンプを挟んで、Y選択回路とメモリセルマットがほぼ対称に配置され、1チップまたはブロック単位で各セクターはX選択回路は、共通でY選択回路は独立して配置されることを特徴とする前記(30)項及び(36)項のいずれか1項に記載の強誘電体メモリ装置。

【0185】(40) 前記強誘電体メモリ装置において、複数のチップとバスラインとI/O回路と制御回路と出力端子を有し、脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする前記(37)項乃至(39)項のいずれか1項に記載の強誘電体メモリ装置。

【0186】従って、前記(39)項及び(40)項によれば、X選択に共通なメモリセル領域をブロックとして消去の単位とし、ある単位のY選択をセクターとして、書き込みの単位とする。

【0187】よって、ビット密度を上げ、高機能化をはかることが可能となる。

【0188】(41) 前記強誘電体メモリ装置において、1チップにメモリ部とメモリマネジメント機能とI/O回路を有した、脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする前記(37)項乃至(39)項のいずれか1項に記載の強誘電体メモリ装置。

【0189】(42) 前記強誘電体メモリ装置において、前記メモリマネジメント機能は、メモリ部内のブロックまたはセクター単位の記憶セルに対して、情報の消去、書き込み、読出し機能を制御し、各セクター単位でディレクトリ(番地情報)やキーワード情報を有するこ

とを特徴とする前記(41)項に記載の強誘電体メモリ装置。

【0190】(43) 前記強誘電体メモリ装置において、前記制御回路は、MPUで構成されており、メモリ部内のブロックまたはセクター単位の記憶セルに対する情報の消去、書き込み、読出し機能を制御し、各セクター単位でディレクトリ(番地情報)やキーワード情報を有したことを特徴とする前記(40)項に記載の強誘電体メモリ装置。

【0191】従って、前記(41)項乃至(43)項によれば、セクターおよびブロックの使用状況をディレクトリが管理し、メモリが使用しやすくなる。

【0192】よって、大容量のメモリが簡単に使用可能となる。

【0193】(44) 一対の電極により挟持された強誘電体薄膜容量を記憶セルを有し、前記記憶セルが、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルスを印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリ装置において、1チップまたは複数のチップに搭載される、メモリ部、アンテナ、同調回路、検波回路、復調回路、発振回路、変調回路及び、制御回路からなり、電波で信号をやり取りする、脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする強誘電体メモリ装置。

【0194】(45) 前記強誘電体メモリ装置において、受信する電波から、駆動するための電圧、電力を生成する回路を有し、脱着可能なメモリ装置であることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0195】(46) 前記強誘電体メモリ装置において、前記アンテナ以外の部位を1チップに搭載し、電波で情報の信号をやり取りする、脱着可能なメモリ装置であることを特徴とする前記(44)項及び(45)項のいずれか1項に記載の強誘電体メモリ装置。

【0196】(47) 前記強誘電体メモリ装置において、前記アンテナを前記1チップ上に搭載することを特徴とする前記(44)項及び(45)項のいずれか1項に記載の強誘電体メモリ装置。

【0197】(48) 前記強誘電体メモリ装置において、前記電波は、マイクロ波からミリ波である脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする前記(44)項、(45)項及び(47)項のいずれか1項に記載の強誘電体メモリ装置。

【0198】従って、前記(44)項乃至(48)項によれば、強誘電体の本方式は低電圧でかつ低電力、大容

10

20

30

40

50

量のメモリが可能であり、電波で大量のデータ通信が可能な応用にさいてきてである。電波(RF)回路を使用することにより、この利点が引き出せる。

【0199】よって、電波で大量のデータ通信が可能なデータキャリアが可能となる。

【0200】(49) 前記強誘電体メモリ装置において、信号変復調回路を含むRFアンテナやマイクロ波アンテナを設けられたコンピュータに対して、個人特有のデータを電波でやり取り可能なメモリカードであることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0201】(50) 前記強誘電体メモリ装置において電波でやり取り可能な前記メモリカードから個人参照番号を読み取り、コンピュータに自動的に環境設定することができることを特徴とする前記(49)項に記載の強誘電体メモリ装置。

【0202】従って、前記(49)項及び(50)項によれば、電波(RF)による大量のデータ通信と大量メモリは、コンピュータの個人データカードに最適である。個人用のハードディスクは従来は困難であったが、

【0203】よって、個人データベースにより、どのようなコンピュータもあたかも自分専用マシンの様に使用可能となる。

【0204】(51) 前記強誘電体メモリ装置において、信号変復調回路を含むRFアンテナやマイクロ波アンテナが設けられた、自動車に搭載される自動ドアロック機能、走行を制御する車載用コンピュータ及びナビゲーションシステムを含むシステムに対して、個人特有のデータを電波でやり取り可能なメモリカードであることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0205】従って、前記(51)項によれば、電波(RF)による大量のデータ通信と大量メモリは、自動車の個人データカードに最適である。大容量データとCPUで従来は困難であったID、セキュリティ、専用データの保有が、本方法を用いるので可能となる。

【0206】よって、ID、セキュリティ、専用データの保有が、本方法を用いるので可能となる。

【0207】(52) 前記強誘電体メモリ装置において、信号変復調回路を含むRFアンテナやマイクロ波アンテナ(58)を設けた、前記自動車に搭載した、自動ドアロック機能、運転者を識別するID認識装置及び、位置認識装置を含むシステムに対して、個人特有のデータを電波でやり取り可能なメモリカードであることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0208】従って、前記(52)項によれば、電波(RF)による大量のデータ通信と大量メモリは、セキュリティシステムの個人IDデータカードに最適である。大容量データとCPUで従来は困難であったID、

セキュリティ、専用データの保有が、本方法を用いるので可能となる。

【0209】よって、ID、セキュリティ、専用データの保有が、本方法を用いるので可能となる。

【0210】(53) 前記強誘電体メモリ装置において、信号変復調回路を含むRFアンテナやマイクロ波アンテナを設けた自動テラ装置(自動預金、引き出し装置)に対して、個人特有のデータを電波でやり取り可能なメモリカードであることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0211】従って、前記(53)項によれば、電波(RF)による大量のデータ通信と大量メモリは、個人情報システムの個人IDデータカードに最適である。大容量データとCPUで従来は困難であったID、セキュリティ、個人のアカウント、健康、ビジネス、電話、fax専用データの保有が、本方法を用いるので可能となる。

【0212】よって、本方法を用いるあらゆる情報の個人所有が可能となる。

【0213】(54) 前記強誘電体メモリ装置において、信号変復調回路を含むRFアンテナやマイクロ波アンテナを設けた、家庭用テレビ、ゲーム装置、家庭データ端末機を含むシステムに対して、個人特有のデータを電波でやり取り可能なメモリカードであることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0214】従って、前記(54)項によれば、電波(RF)による大量のデータ通信と大量メモリは、個人情報システムの個人IDデータカードに最適である。大容量データとCPUで従来は困難であったID、セキュリティ、個人のアカウント、健康、ビジネス、電話、fax専用データの保有が、本方法を用いるので可能となる。

【0215】よって、本方法を用いるあらゆる情報の個人所有が可能となる。

【0216】(55) 一対の電極により挟持された強誘電体薄膜容量のメモリセルを有し、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルス印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリにおいて、1チップまたは複数のチップに搭載される、メモリ部、制御部、高速光変調素子および高速回路ポトダイオード、光発電電池で構成される脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする強誘電体メモリ装置。

【0217】従って、前記(55)項によれば、本方法では大容量メモリカードが可能であるが、電極端子を用

10

20

30

40

50

3.1

いと、大きさ、耐水性、耐環境性等問題があり、端子の信頼性もよくない、この為、高速の光インターフェースをもちいる。

【0218】よって、大きさ、耐水性、耐環境性等問題があり、端子の信頼性をすべてクリアするメモリカードが可能となり、電池も不要となる。

【0219】(56) 一対の電極により挟持された強誘電体薄膜のメモリセルを有し、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルス10を印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリにおいて、前記メモリセルが、互いに直交する上部電極ライン及び下部電極ラインの交点で単純マトリックス状に配置され、これらのメモリセルがシリコン酸化膜を含む領域の上部に形成され、周辺回路がメモリセルの配置される領域外に形成される特徴とする強誘電体メモリ装置。

(57) 前記強誘電体メモリ装置において、前記周辺回路は、前記メモリセルの配置される領域の周辺に形成されたことを特徴とする前記(56)項に記載される強誘電体メモリ装置。

【0220】(58) 前記強誘電体メモリ装置において、前記上部電極と下部電極は、新たに設けた第3電極によって周辺回路のデバイスと接続されたことを特徴とする前記(56)項及び(57)項のいずれか1項に記載される強誘電体メモリ装置。

【0221】従って、前記(55)項乃至(58)項によれば、本方法では本メモリの実際の作成の上での構成とプロセスを示し、簡単な構成、緩い加工ルール、少ないマスク枚数でメモリが実現できる。

【0222】(59) 一対の電極により挟持された強誘電体薄膜のメモリセルを有し、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルスを印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2の10パルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリにおいて、半導体基板上にアクティブデバイスが配置され、そのアクティブデバイス間の配線が行われている領域の上に、前記メモリセルが、互いに直交する上部電極ライン及び下部電極ラインの交点で単純マトリックス状に積層して配置されることを特徴とする強誘電体メモリ装置。

【0223】(60) 前記強誘電体メモリ装置におい

3.2

て、前記周辺回路や制御回路は、前記半導体基板上にアクティブデバイスとして形成されたことを特徴とする前記(59)項に記載の強誘電体メモリ装置。

【0224】(61) 前記強誘電体メモリ装置において、前記周辺回路や制御回路を含む中央処理装置やデジタル信号処理装置が、半導体基板上にアクティブデバイスとして、形成されたことを特徴とする前記(59)項に記載の強誘電体メモリ装置。

【0225】従って、前記(59)項乃至(61)項によれば、本方法では本メモリの実際の作成の上での構成とプロセスを示し、簡単な構成、緩い加工ルール、少ないマスク枚数で高密度のメモリが実現できる。

【0226】(62) 前記強誘電体メモリ装置において、少なくとも2つの複数の上部電極と下部電極の対が積層されていることを特徴とする前記(59)項乃至(61)項に記載の強誘電体メモリ装置。

【0227】従って、前記(62)項によれば、本方法では本メモリの実際の作成の上での構成とプロセスを示し、簡単な構成、緩い加工ルール、少ないマスク枚数できわめて高密度のメモリが実現できる。

【0228】

【発明の効果】以上詳述したように本発明によれば、小さな $\Delta C/C$ をデータ線の電圧変化なしで読み出せる容量付加帰還回路と参照セルとの比較読み出しを組み合わせたセンス回路により、情報の書込み時の非干渉性及び、読出し時の非干渉性を持ち、非破壊読み出しを実現可能で、且つ大規模化に好適する非破壊強誘電体メモリ及びその駆動方法を提供することができる。

【図面の簡単な説明】

30 【図1】第1実施形態としての強誘電体メモリの回路構成の一例を示す図である。

【図2】本発明による強誘電体メモリ装置の概略を説明するための図である。

【図3】図1に示した強誘電体メモリ装置の動作について説明するための図である。

【図4】図1に示した強誘電体メモリ装置の動作について説明するための図である。

40 【図5】簡単マトリックスに配置されたメモリセルマツトにより構成された強誘電体メモリ装置のブロック構成を示す図である。

【図6】第2実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図7】第3実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図8】第3実施形態の変形例の構成例を示す図である。

【図9】第4実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

50 【図10】第5実施形態としての強誘電体メモリ装置の構成及び動作を説明するための図である。

【図11】第6実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図12】第7実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図13】第7実施形態の変形例を示す図である。

【図14】第8実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図15】第8実施形態の変形例を示す図である。

【図16】第8実施形態をメモリカードに応用した一例を示す図である。

【図17】第9実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図18】第10実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図19】第11実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図20】第12実施形態としての強誘電体メモリ装置のブロック構成の一例を示す図である。

【図21】第13実施形態としての強誘電体メモリ装置の概略及び動作を説明するためのフローチャートである。

【図22】第14実施形態としての強誘電体メモリ装置の概略を示す図である。

【図23】第15実施形態としての強誘電体メモリ装置の概略を示す図である。

【図24】第16実施形態としての強誘電体メモリ装置

の概略を示す図である。

【図25】第17実施形態としての強誘電体メモリ装置の概略を示す図である。

【図26】第18実施形態としての強誘電体メモリ装置の構成を示す図である。

【図27】第19実施形態としての強誘電体メモリ装置の上方から見た構成を示す図である。

【図28】第19実施形態としての強誘電体メモリ装置の製造工程における断面構造を示す図である。

【図29】第20実施形態の強誘電体メモリ装置の上方から見た構成及び断面構造を示す図である。

【図30】第21実施形態の強誘電体メモリ装置の断面構造を示す図である。

【図31】従来の強誘電体メモリの回路構成を示す図である。

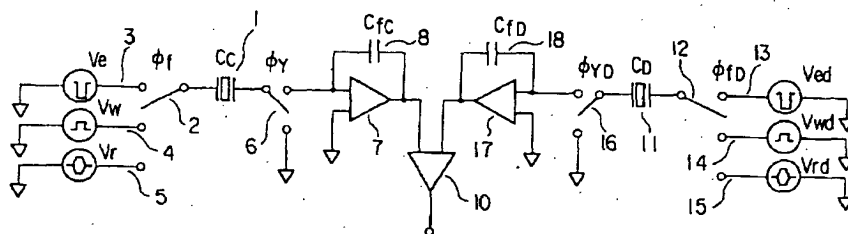
【図32】従来の強誘電体メモリの概略的な構成を示す図である。

【図33】強誘電体の容量-電圧特性を一例を示す図である。

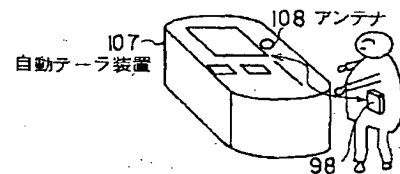
【符号の説明】

1…強誘電体メモリセル、2, 12…選択スイッチ、3, 13…消去用パルス入力端子、4, 14…書込み用パルス入力端子、5, 15…読出し用パルス入力端子、6, 16…切換えスイッチ（放電用）、7, 10, 17…差動アンプ、8, 18…帰還容量素子、11…ダミーセル。

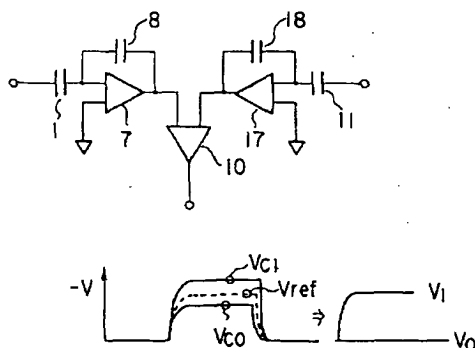
【図1】



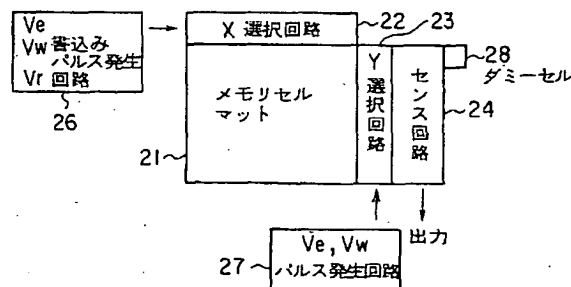
【図24】



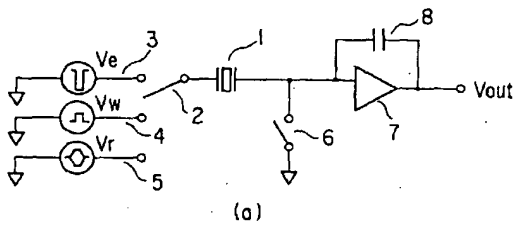
【図4】



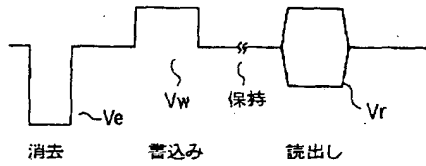
【図5】



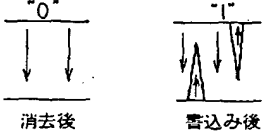
【図2】



(a)

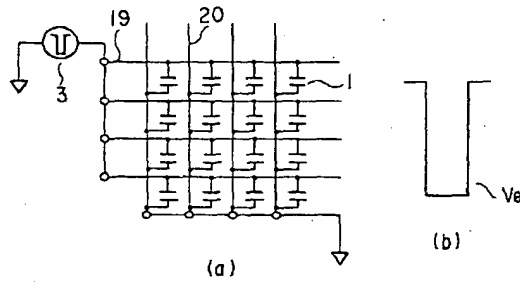


(b)



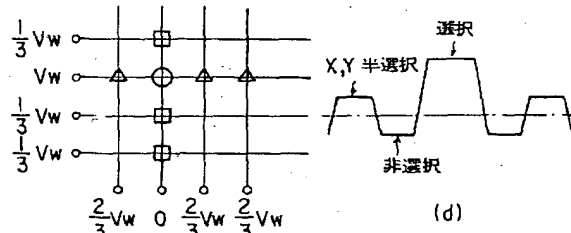
(c)

【図3】

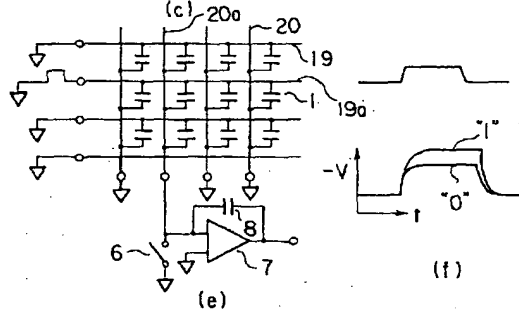


(a)

(b)



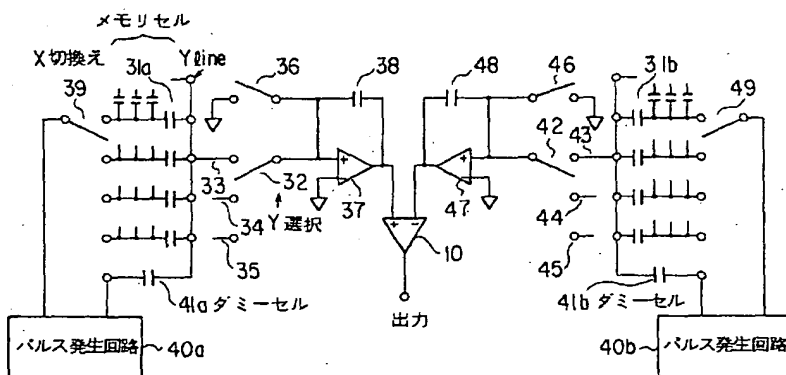
(d)



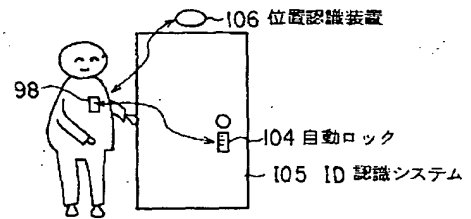
(e)

(f)

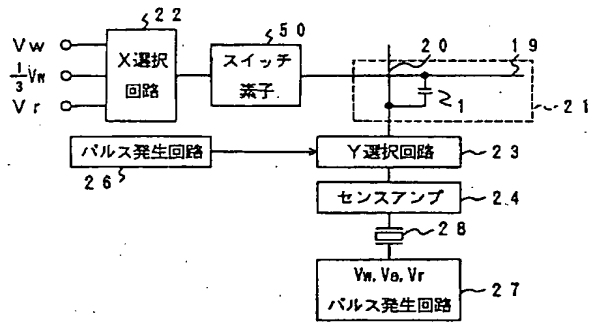
【図6】



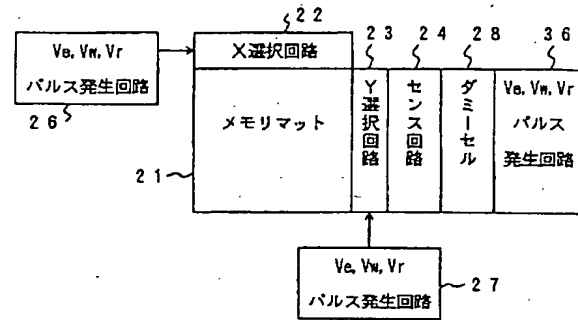
【図23】



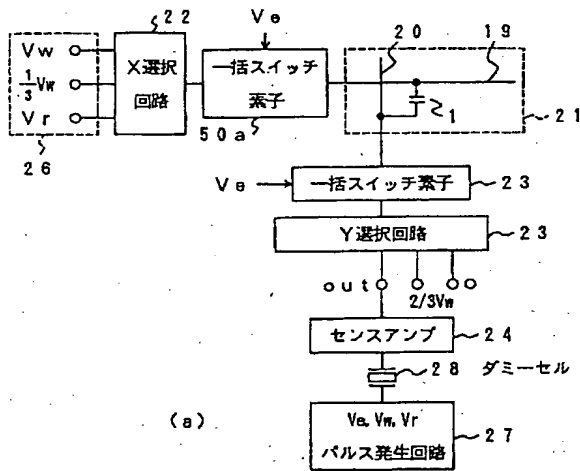
【図7】



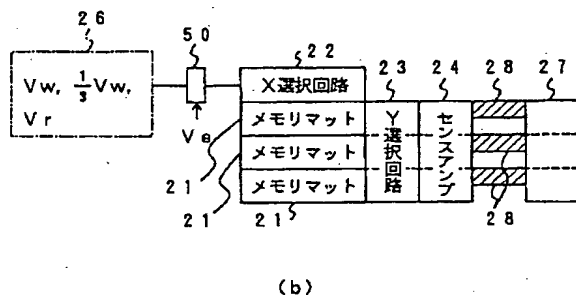
【図8】



【図9】

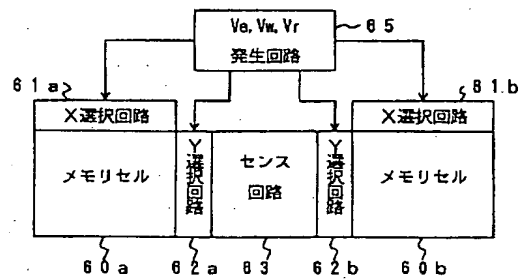


(a)

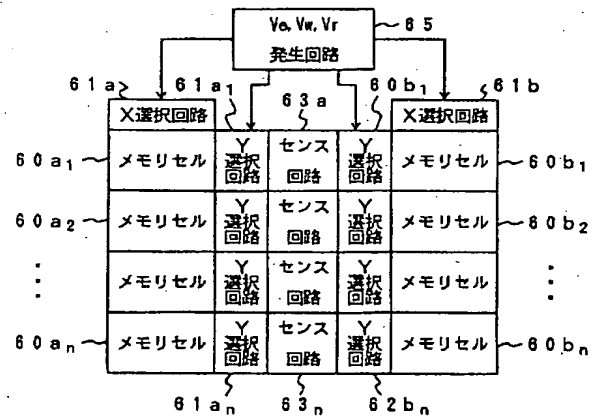


(b)

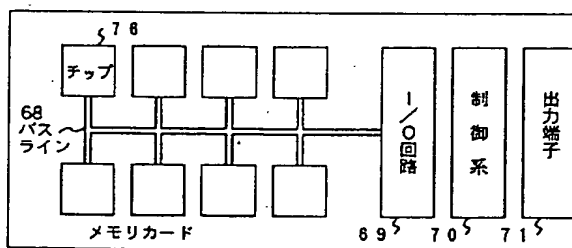
【図11】



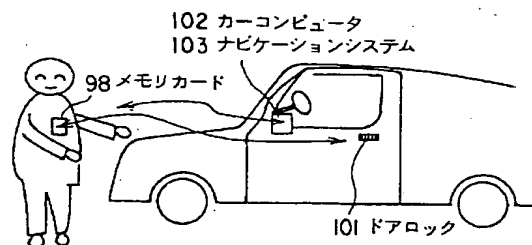
【図12】



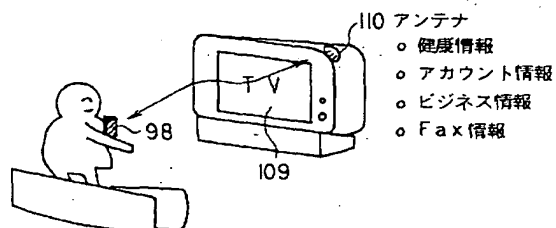
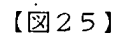
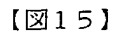
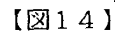
【図16】



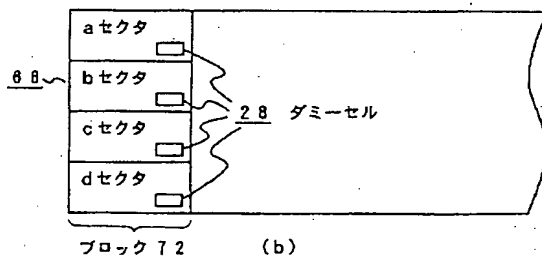
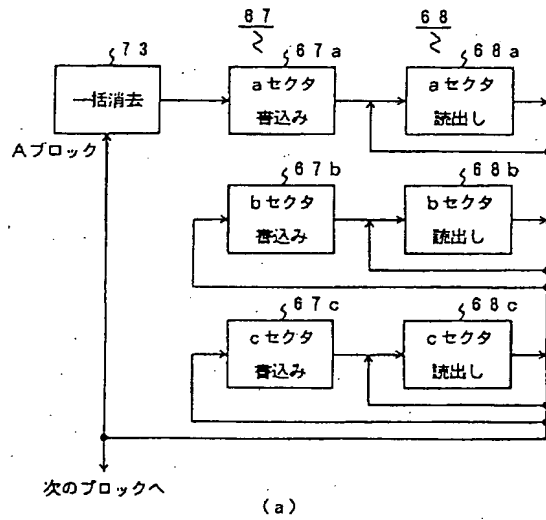
【図22】



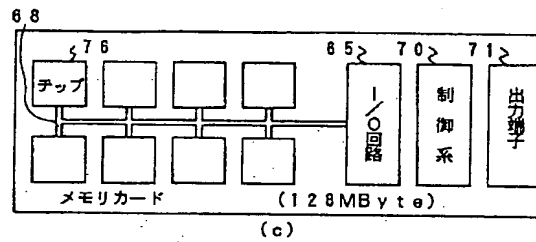
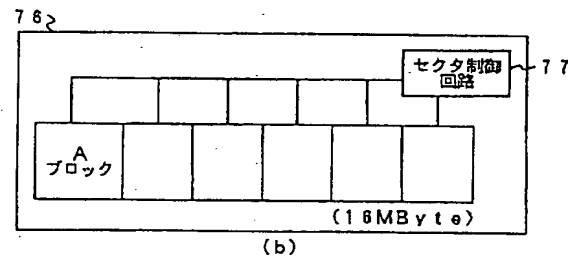
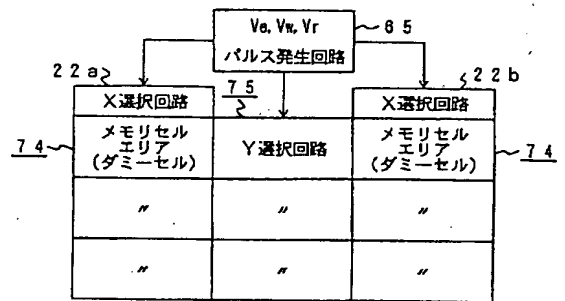
【図27】



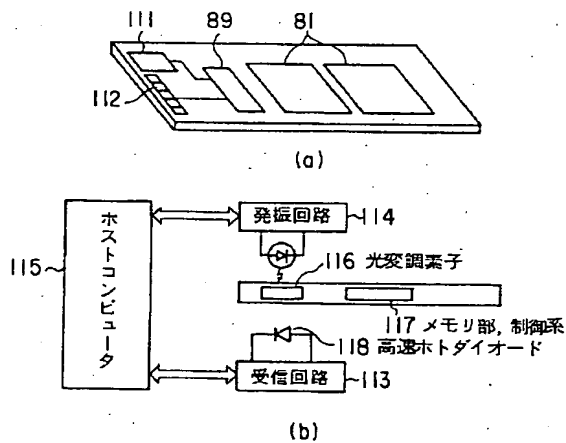
【図17】



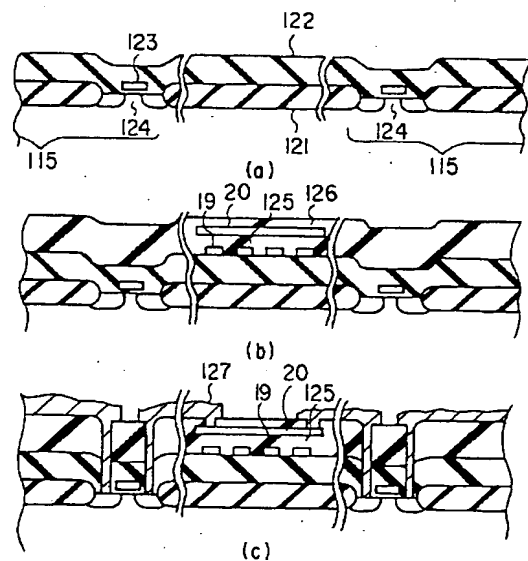
【図18】



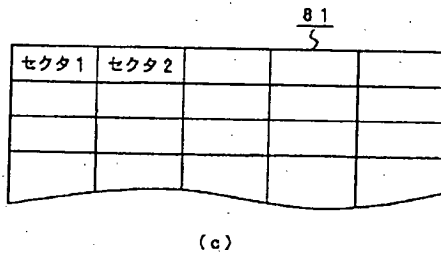
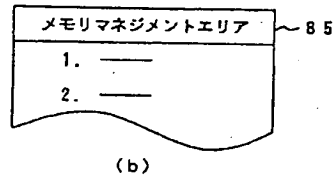
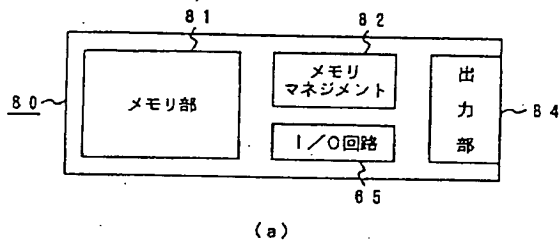
【図26】



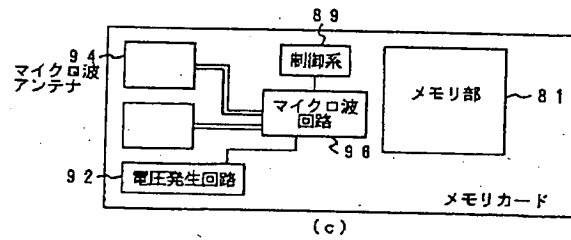
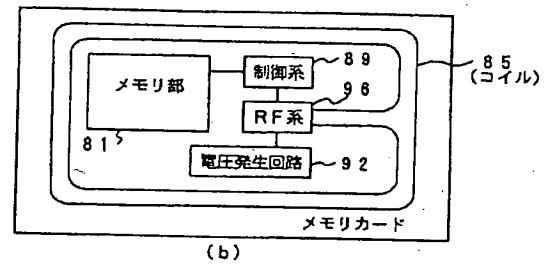
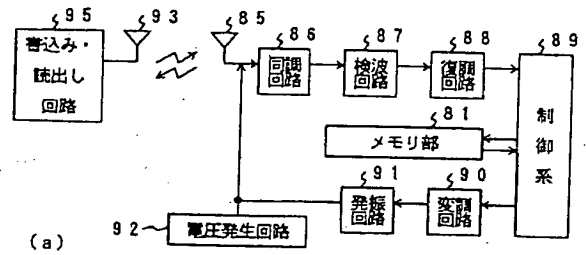
【図28】



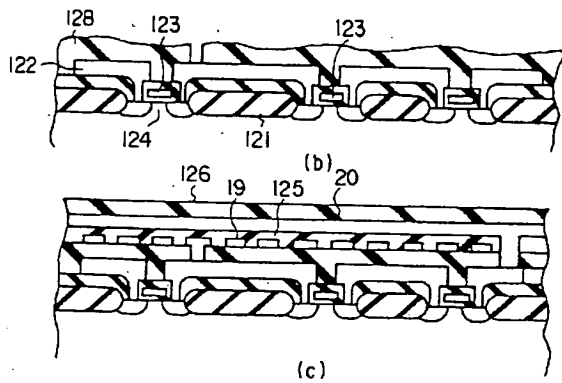
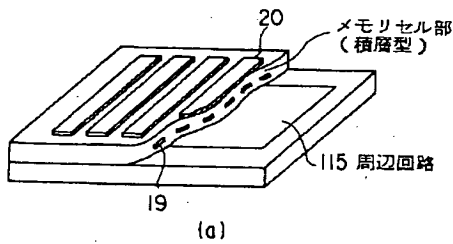
【図19】



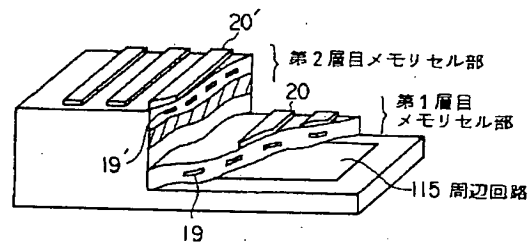
【図20】



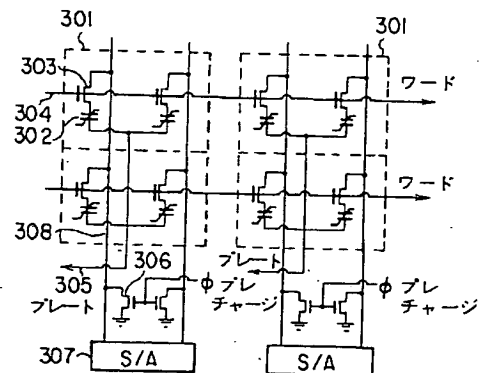
【図29】



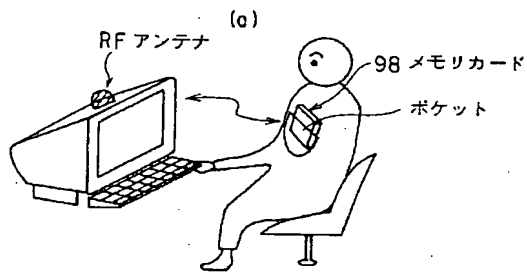
【図30】



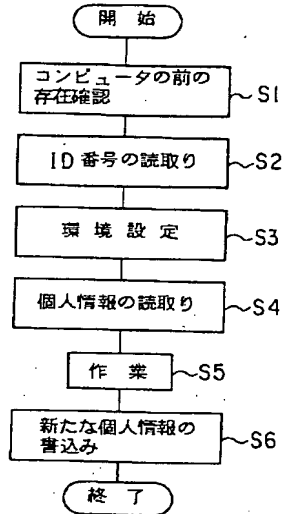
【図31】



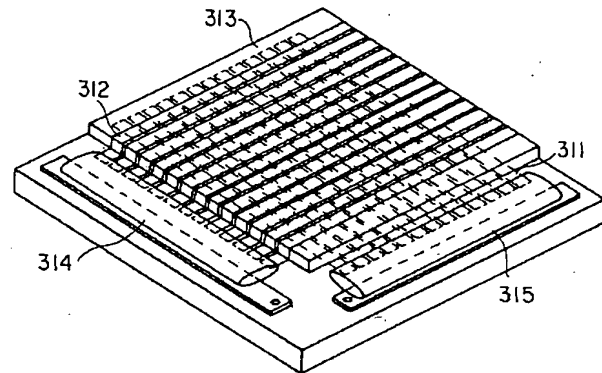
【図21】



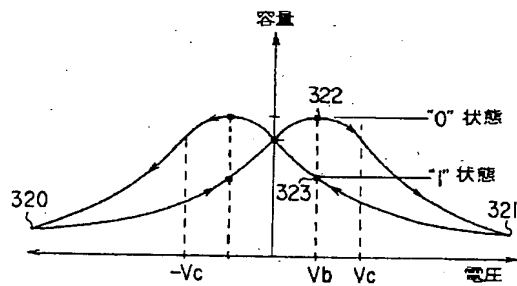
(b)



【図32】



【図33】



フロントページの続き

(51)Int. Cl.⁶

H01L 21/8242

識別記号

庁内整理番号

F I

技術表示箇所